

FOR ENERGY EFFICIENT INNOVATIONS

THINK ON.

www.onsemi.com

ON Semiconductor

Přednáška předmětu Fyzika ve firmě, 2021
Přírodovědecká fakulta Masarykovy university

Jan Chochol, jan.chochol@onsemi.com

Public Information



Osnova

- Stručné představení firmy ON Semiconductor
- Fyzika a procesy zlepšování v průmyslu
- Příklad využití fyziky
 - Popis distribuce dopantu v krystalu
 - Simulace polovodičových součástek – TCAD
- Moje zkušenosti, akademické prostředí/firma, uplatnění fyziků ve firmě



ON Semiconductor a polovodičový průmysl



ON Semiconductor

Headquarters: Phoenix, Arizona
 Employees: 29 thousand worldwide

Manufacturing:

- Belgium
- Canada
- China
- Czech Republic
- Japan
- Korea
- Malaysia
- Philippines
- Republic of Korea
- United States
- Vietnam

Design Centers:

- Belgium
- Canada
- Czech Republic
- France
- Germany
- India
- Ireland
- Japan
- Korea
- Philippines
- Romania
- Slovak Republic
- Switzerland
- Taiwan
- United States

Solution Engineering Centers:

- China, Shanghai
- China, Shenzhen
- Germany, Munich
- Japan, Tokyo
- Korea, Seoul
- Taiwan, Taipei
- United States, Detroit
- United States, Portland
- United States, San Jose

Revenue (millions USD):

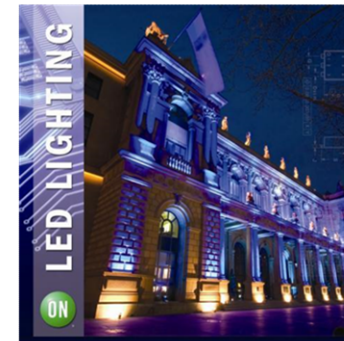
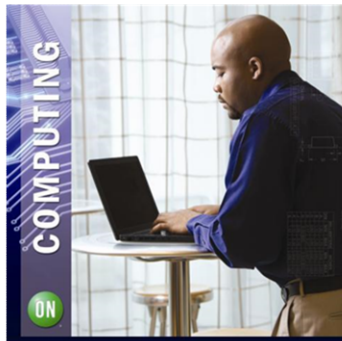
- 2015 \$3.496
- 2016 \$3.906
- 2017 \$5,543
- 2018 \$5,878
- 2019 \$5,518
- 2020 \$5,255



ON Semiconductor (Nasdaq: ON) is driving energy efficient innovations, empowering customers to reduce global energy use. The company is a leading supplier of semiconductor-based solutions, offering a comprehensive portfolio of energy efficient connectivity, sensing, power management, analog, logic, timing, discrete, and custom devices. The company’s products help engineers solve their unique design challenges in automotive, communications, computing, consumer, industrial, medical and military/aerospace applications.



Segmenty trhu



Public Information

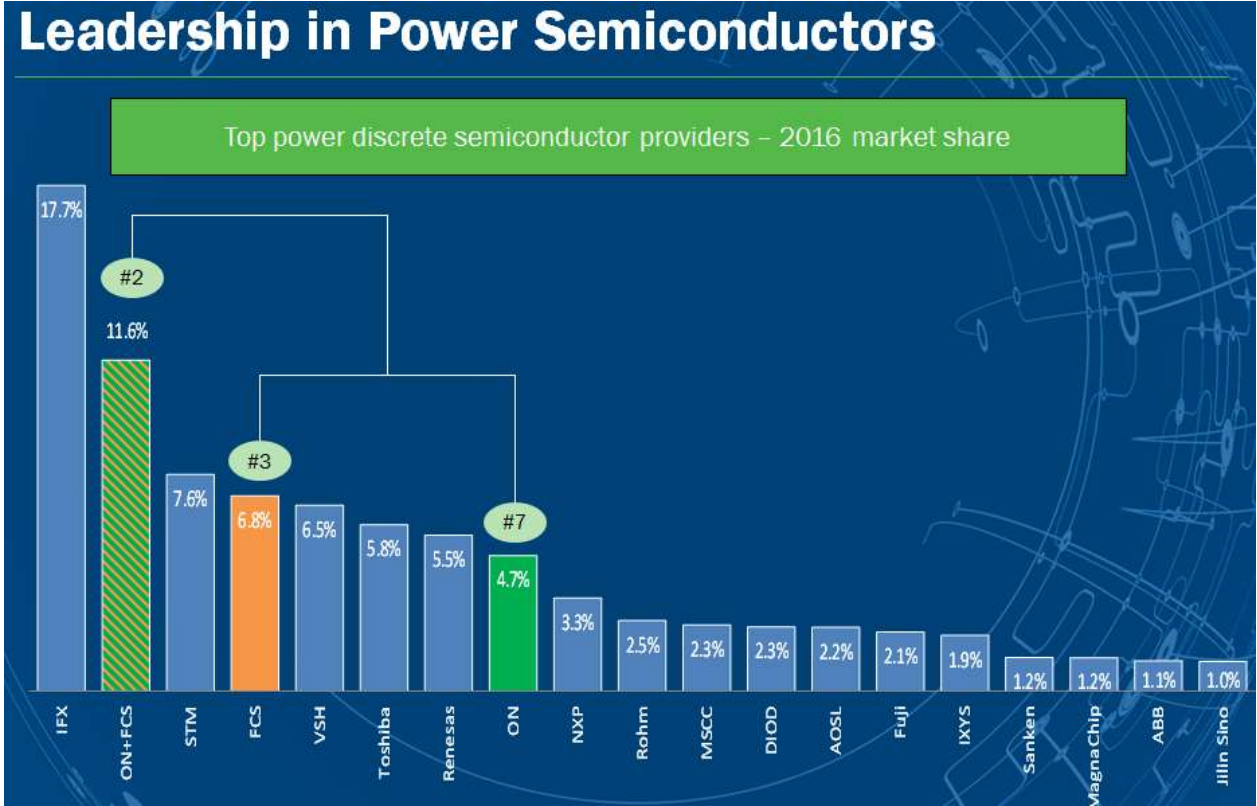


Pozice ON Semiconductor na trhu

Leadership in Semiconductors

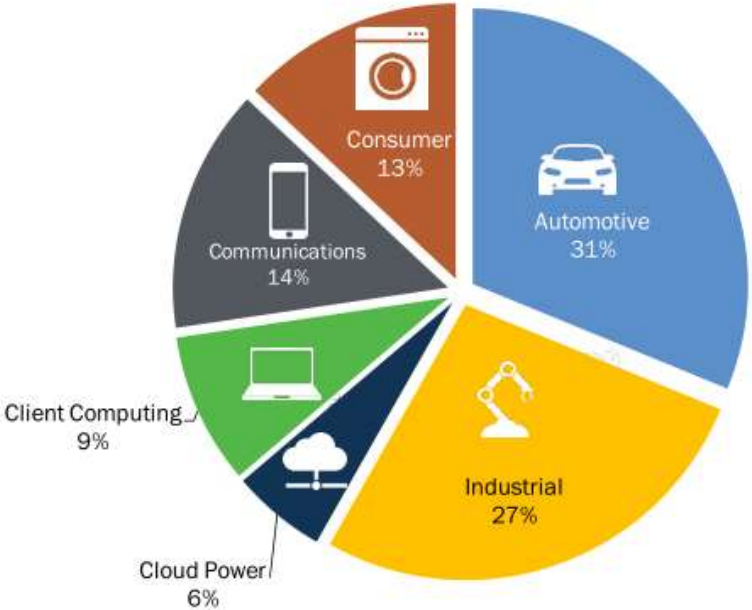
Rank	Company	Market Share
1	Intel	14.8%
2	Qualcomm	4.8%
3	Broadcom	4.4%
4	TI	3.5%
5	NXP	2.8%
6	STMicro	2.0%
7	Infineon	2.0%
8	MediaTek	1.9%
9	Renesas	1.6%
10	ON + Fairchild	1.4%
11	Sony	1.4%
12	NVIDIA	1.3%
13	AMD	1.1%
14	Analog Devices	1.0%
15	Skyworks	0.9%
16	Marvell	0.8%
17	ROHM	0.7%
18	Nichia	0.7%
19	Qorvo	0.7%
20	Maxim	0.6%

Leadership in Power Semiconductors



Growing markets

2018 REVENUE BY MARKET



2018 REVENUE \$5.878B | GROSS MARGIN 38.1%



AUTOMOTIVE

Power semiconductors for electrification, sensors for ADAS, LED lighting, analog power management for automotive processors



INDUSTRIAL

Energy efficiency for industrial systems, machine vision, robotics

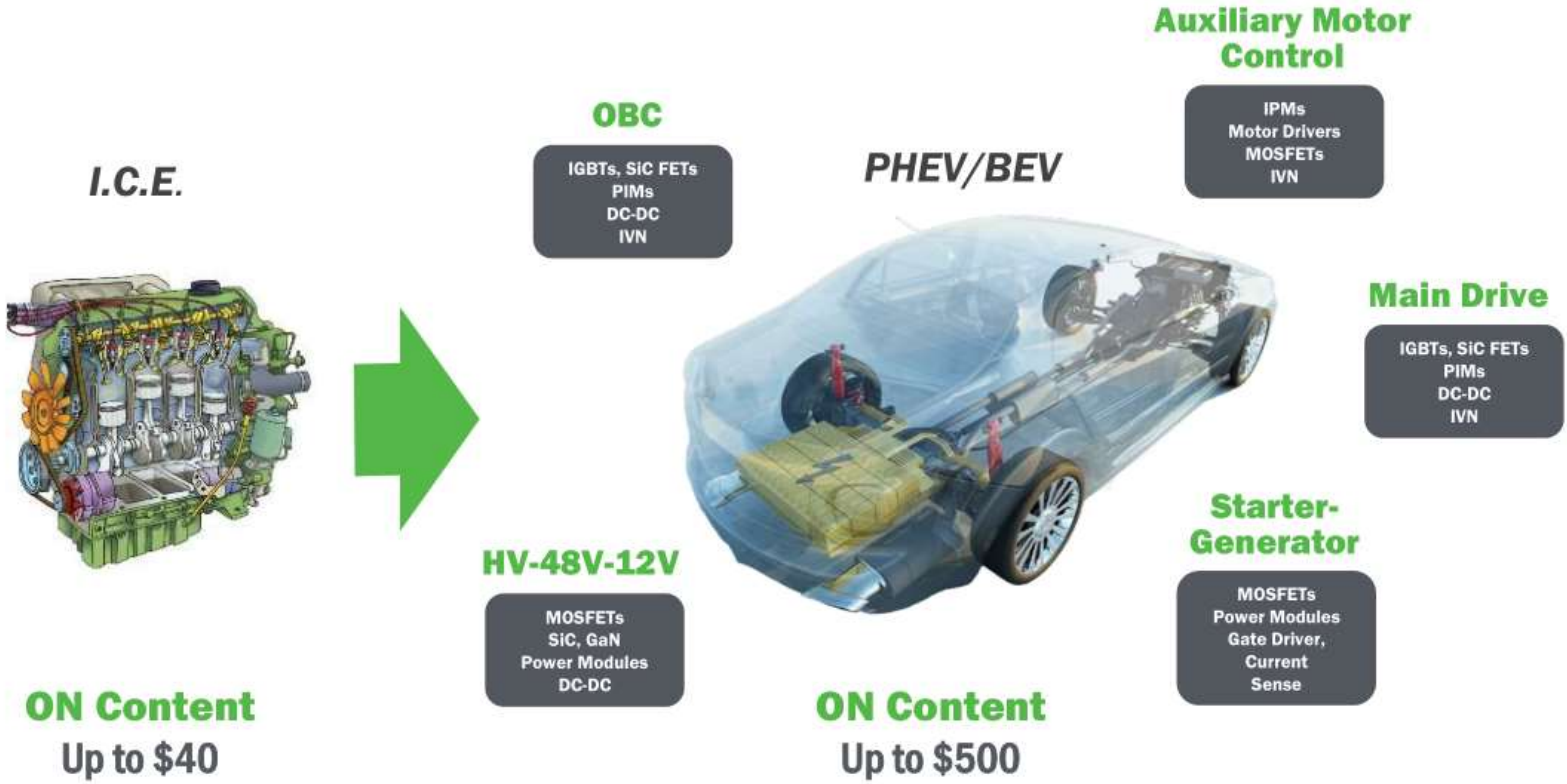


CLOUD POWER

Server power management, 5G infrastructure



Elektrifikace



TESLA Rožnov - historie

1957 - Vyroben první Ge tranzistor. Svět: 1947 (1951+)

1961 - Vyroben první Si tranzistor.

1962 - Vyroben první barevná obrazovka.

1967 - Vyroben první integrovaný obvod. Svět: 1959

1989 - TESLA Rožnov je státním podnikem s 8500 zaměstnanci a vyrábí barevné televizní obrazovky, polovodičové materiály a součástky a mnoho dalších zařízení.

1992 - Rozdělením státního podniku na 16 menších celků vzniká společnost TESLA SEZAM (výroba čipů) a TEROSIL (výroba křemíku).

1993 - Počátky spolupráce se strategickým partnerem - společností MOTOROLA. Založeno návrhové středisko v Rožnově - SCG Czech Design Center.

1996 - Dosažena výrobní kapacita 2000 desek (průměru 100 mm) s čipy za týden.

1997 - Konec privatizačního procesu, MOTOROLA se stává akcionářem společností TESLA SEZAM a TEROSIL.



ON SEMICONDUCTOR CZECH REPUBLIC

2003 - TEROSIL + TESLA SEZAM = ON SEMICONDUCTOR CZECH REPUBLIC.

2005 - ON Semiconductor (NASDAQ: ON) se stává 100% vlastníkem.

2007 - Výroba prvního krystalu průměru 8" (200 mm).

2008 - Akvizice AMI Semiconductor - návrhové středisko AMIS Brno.

- Konverze z desek průměru 100 mm na 150 mm.

2013 - Expanze výroby křemíkových desek průměrů 125, 150 a 200 mm.

2014 - Zahájení VaV MOCVD technologie pro epitaxní růst struktur Ga(Al)N na Si.

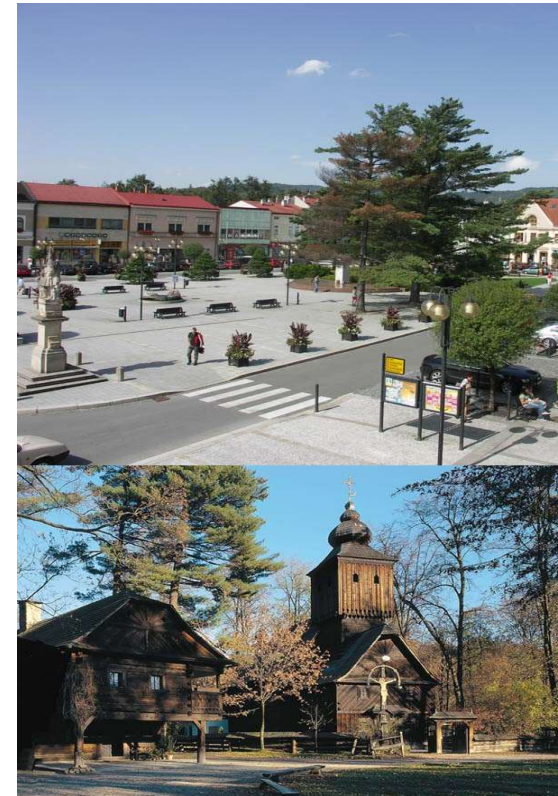
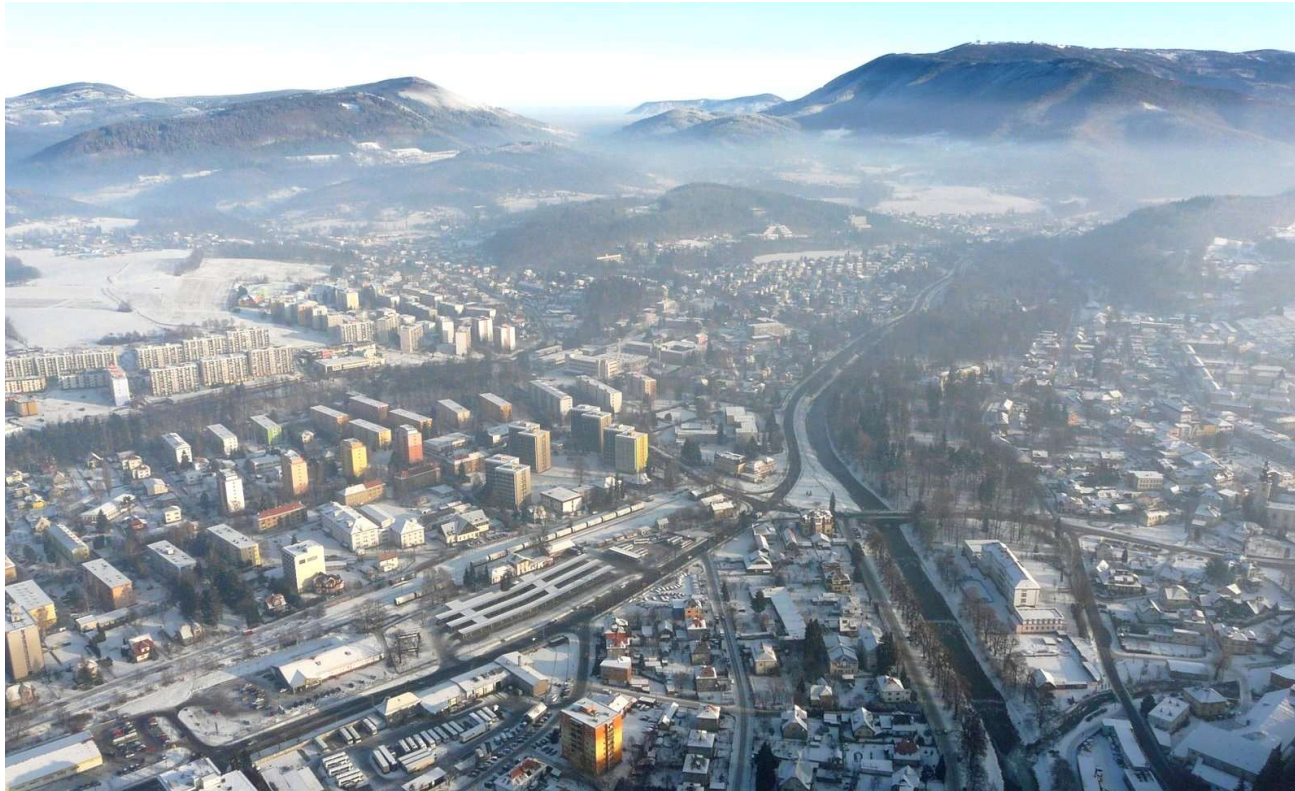
2016 - Kvalifikace SOI technologie (Silicon-On-Insulator).

2017 - Zahájen VaV SiC technologie.

- Expanzní projekty pro podstatné zvýšení kapacit výroby



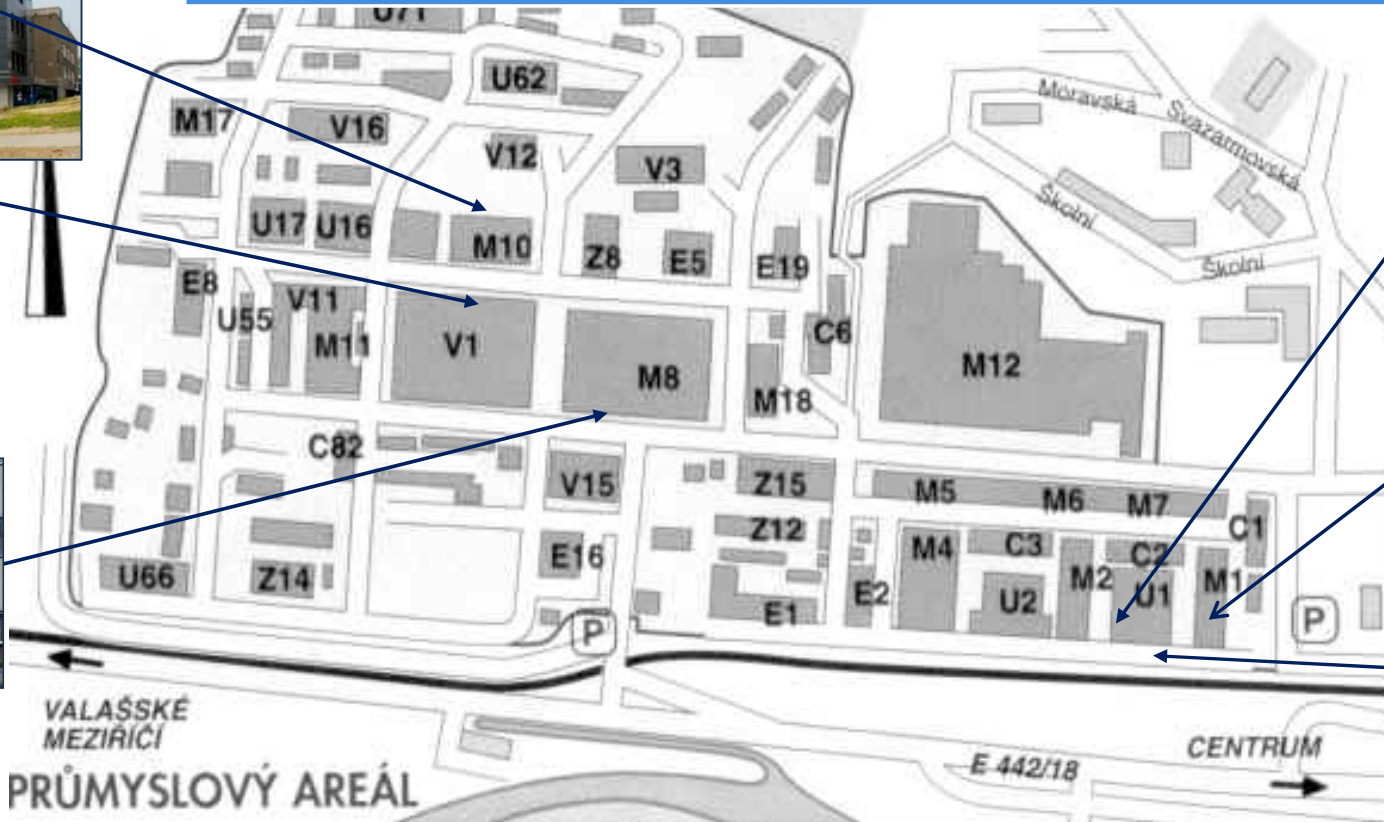
Rožnov pod Radhoštěm



Rožnov p.R. má cca 17 000 obyvatel, v dojezdové vzdálenosti žije 0.5 mil.

Rožnov – ON Semiconductor

1,492 ON Semi Employees



V12

M10

CZ2 – Materials Manufacturing



M8

Corp Shared Services



M1

CZ4 – Wafer Fab



C12

Design Center



C128

R&D

Public Information



Fyzika a procesy v polovodičovém průmyslu

Od křemíku k čipům



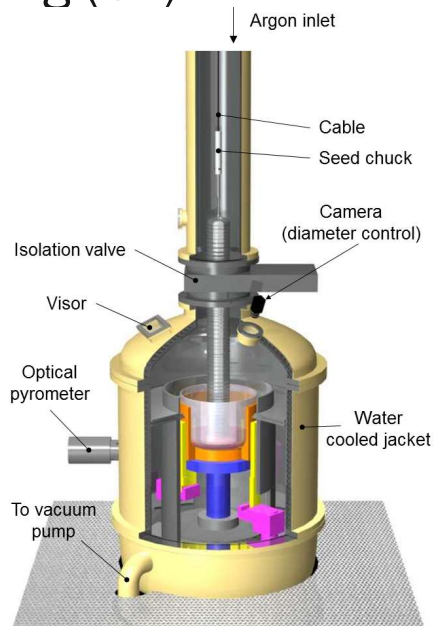
Monocrystalline ingot pulling



Prekursor – polykrystalický křemík

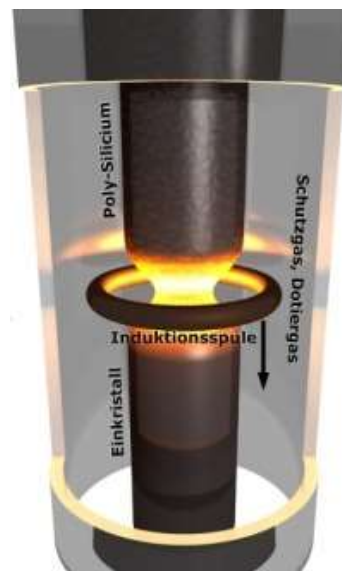
Czochralski pulling (CZ)

Czochralski Puller



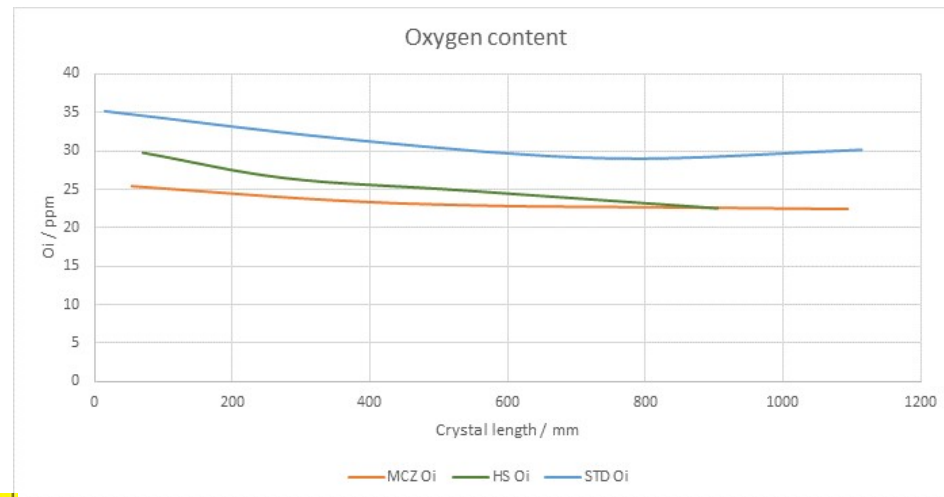
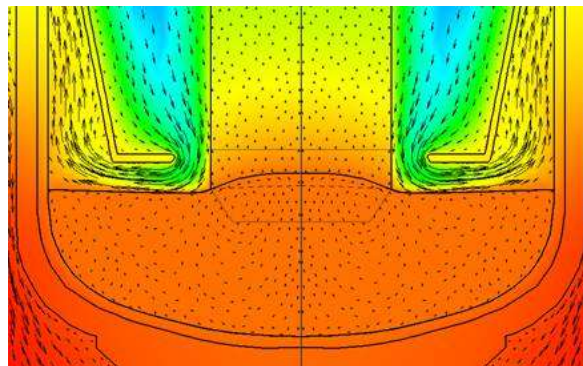
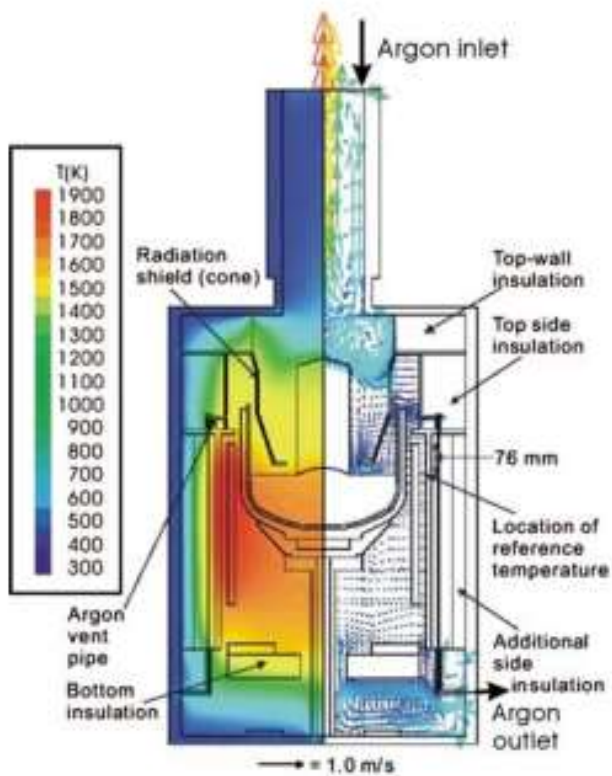
- High O_i content => O_i precipitation => microdefects
- Lower price

Float Zone pulling (FZ)



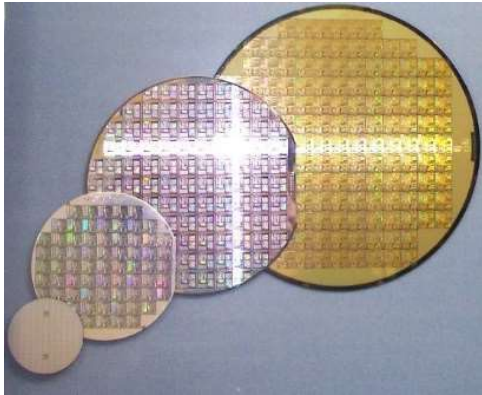
- Low O_i content
- Higher price
- High voltage applications (lower defects level)

RS Czochralski pulling

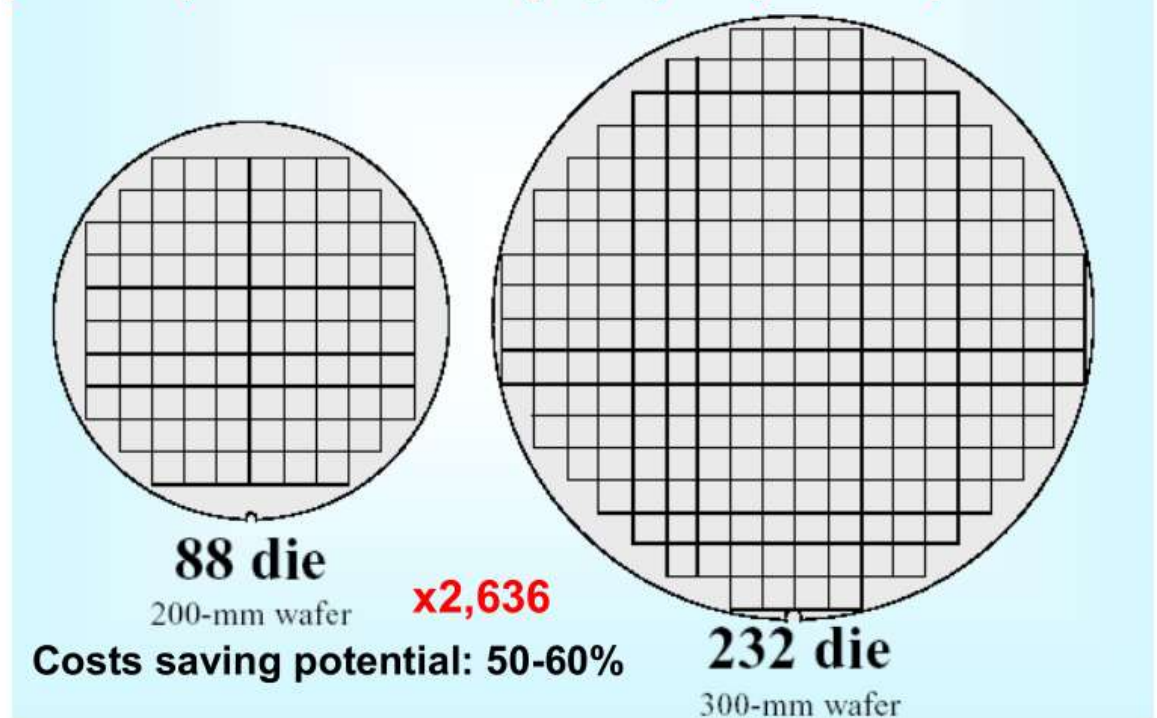


Simulace metodou konečných prvků

Velikost desek



$S (200 \text{ mm}) = 31\,400 \text{ mm}^2 \text{ (x2,25)}$ $S (300 \text{ mm}) = 70\,650 \text{ mm}^2$



Wafer size	Typical Thickness	Year introduced [18]	Weight per wafer	100 mm ² [hide] (10 mm) Die per wafer
1-inch (25 mm)		1960		
2-inch (51 mm)	275 μm	1969		
3-inch (76 mm)	375 μm	1972		
4-inch (100 mm)	525 μm	1976	10 grams [22]	56
4.9 inch (125 mm)	625 μm	1981		
150 mm (5.9 inch, usually referred to as "6 inch")	675 μm	1983		
200 mm (7.9 inch, usually referred to as "8 inch")	725 μm	1992	53 grams [22]	269
300 mm (11.8 inch, usually referred to as "12 inch")	775 μm	2002	125 grams [22]	640
450 mm (17.7 inch) (proposed) [23]	925 μm	-	342 grams [22]	1490
675-millimetre (26.6 in) (theoretical) [24]	Unknown.	-		

Drátové řezání

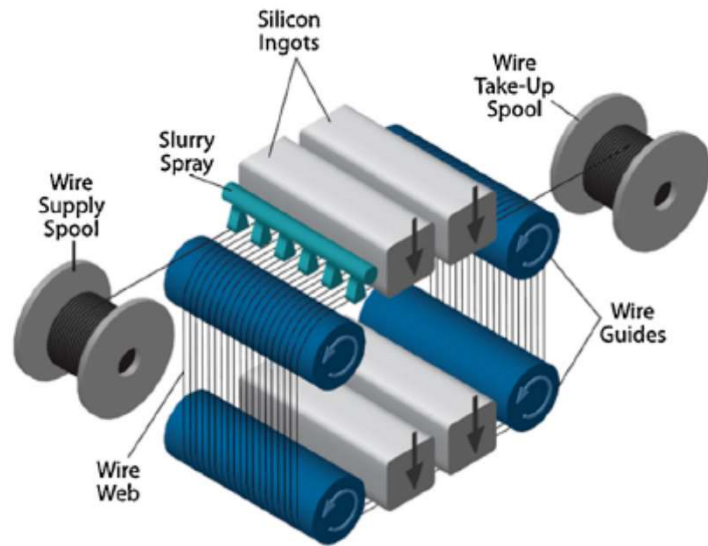
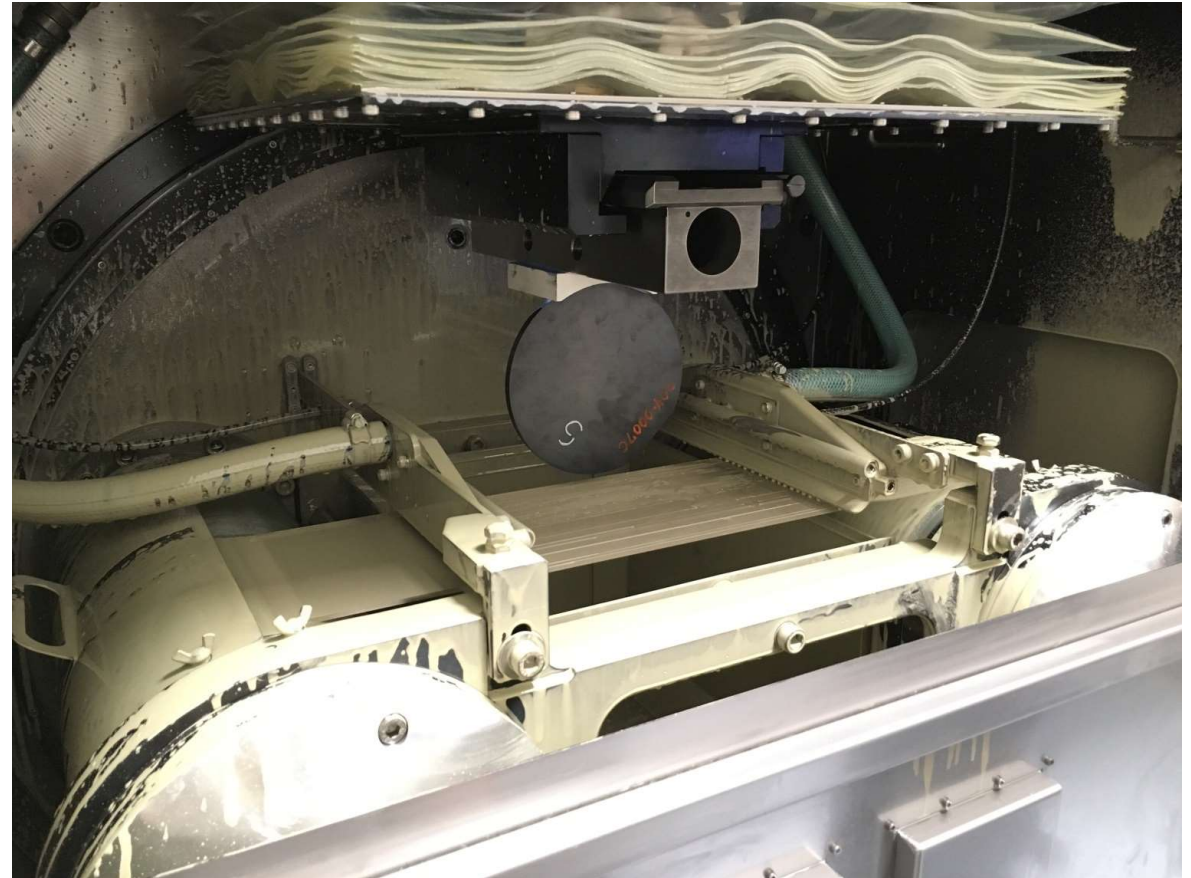


Fig. 1. Schematic of multi-wire slurry sawing of silicon wafers [1].

H. Wu / Precision Engineering 43 (2016) 1–9

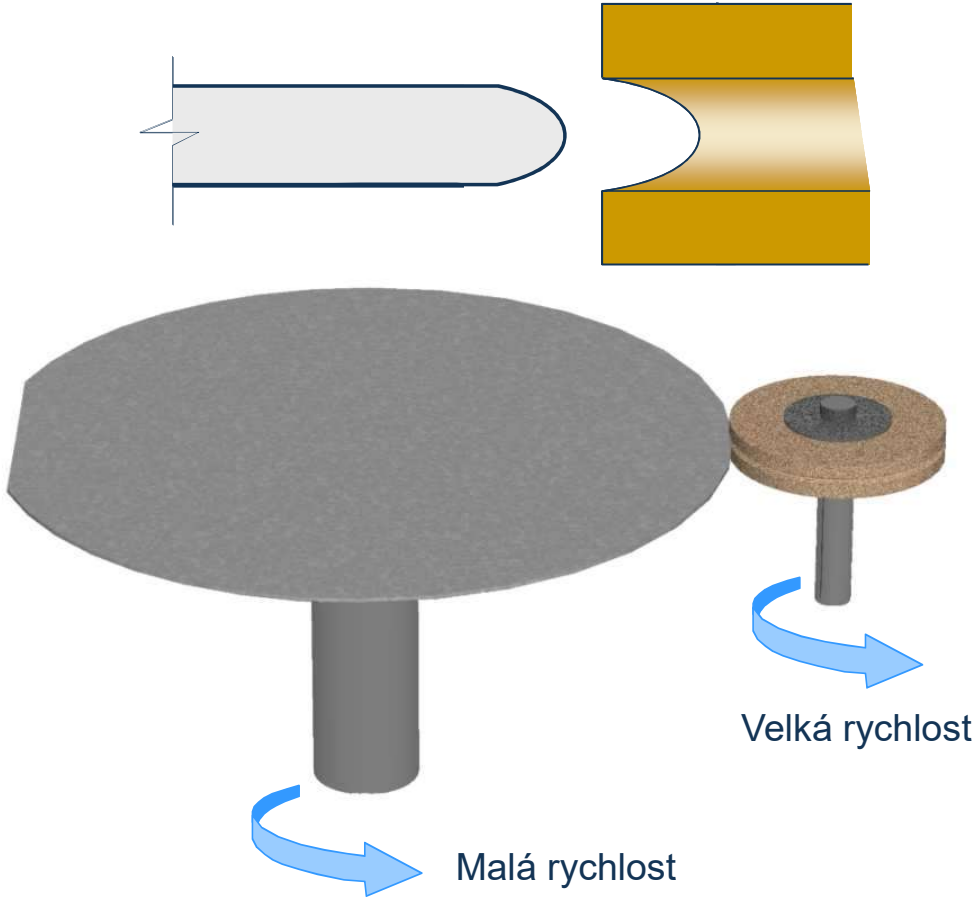
[1] (<http://www.rockwellautomation.com/global/solutions-services/oem/application-profiles.page>).



Public Information



Broušení hran desky



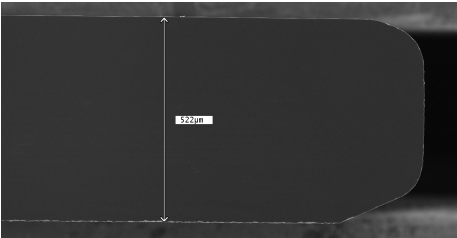
Profiles examples:



Blunt profile



Standard profile

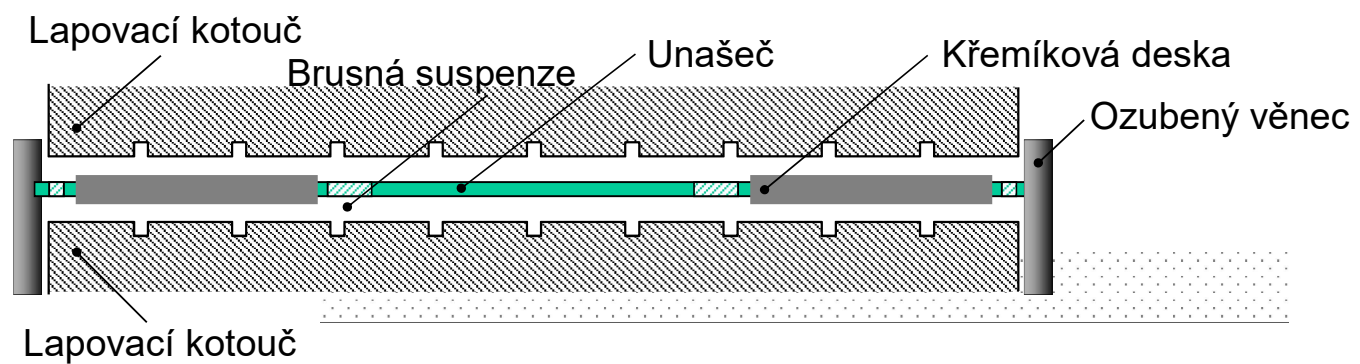


Asymmetrical profile



Epi profile

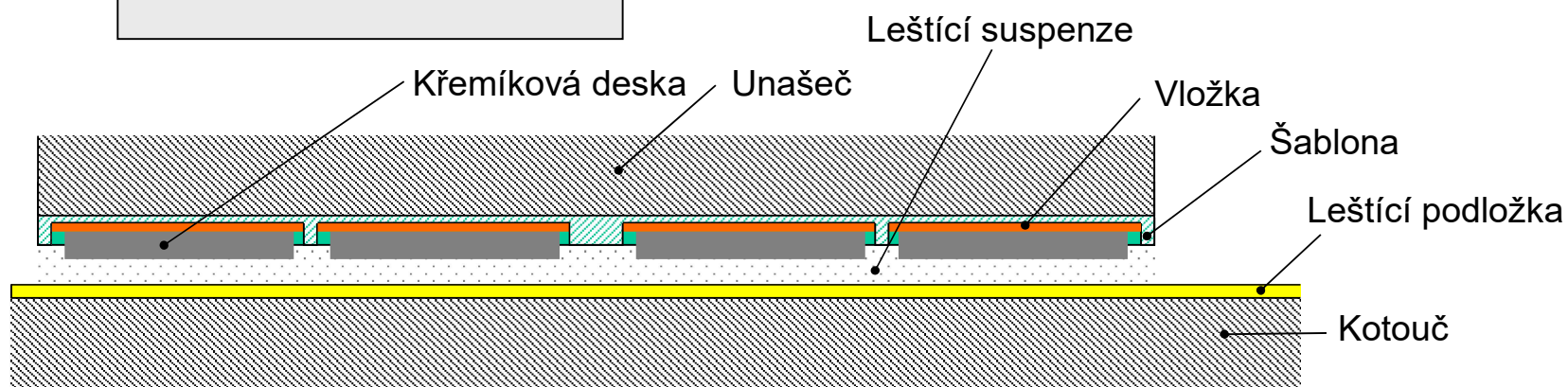
Oboustranné lapování



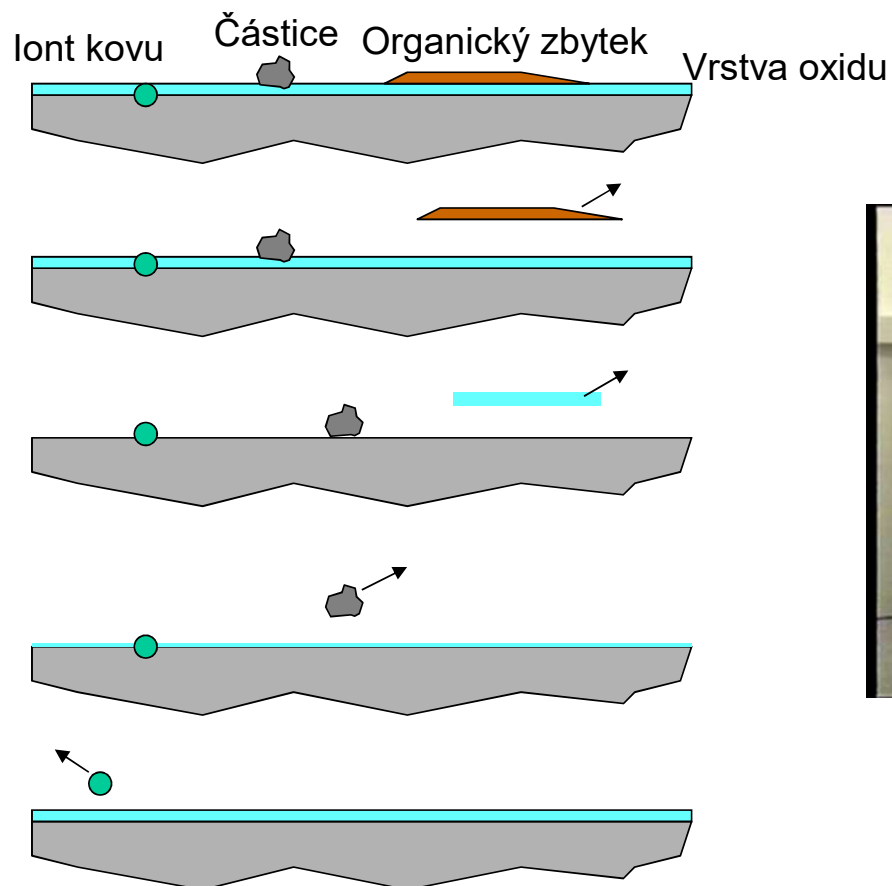
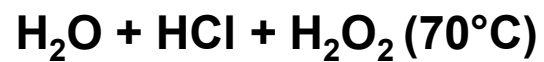
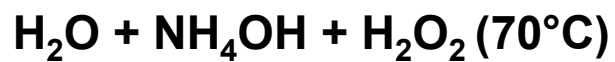
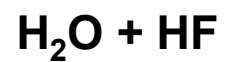
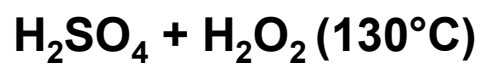
Leštění / CMP – chemical mechanical polishing

Leštící suspenze

Skládá se z částic oxidu křemičitého (SiO_2) ve vodní suspenzi s organickou zásadou a detergentem.



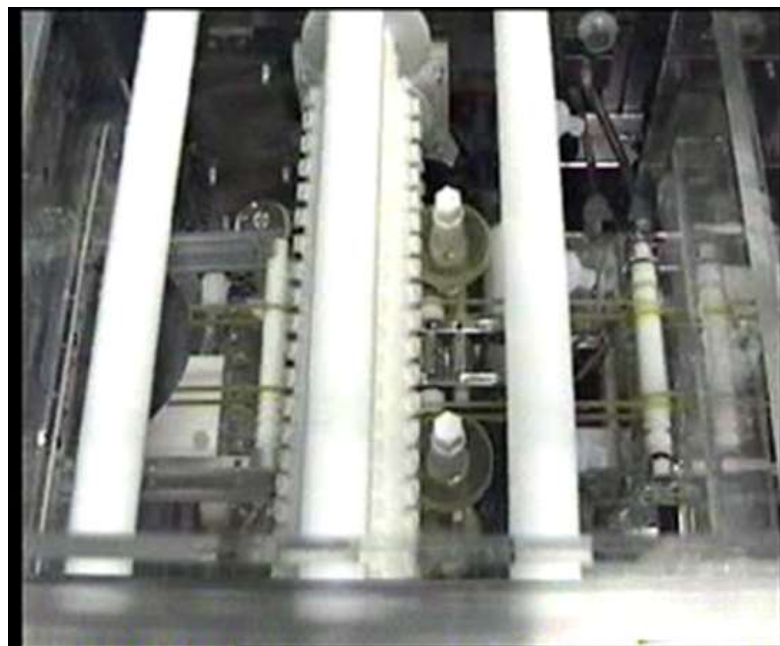
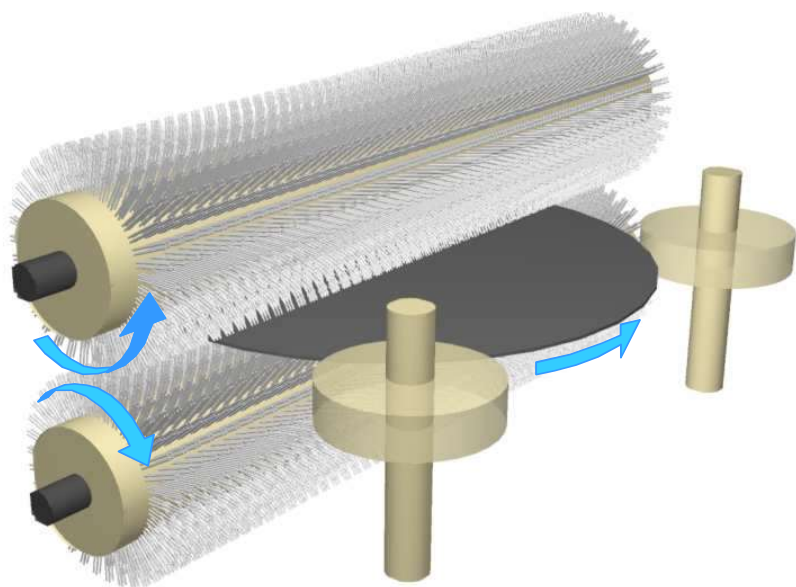
Chemické čištění



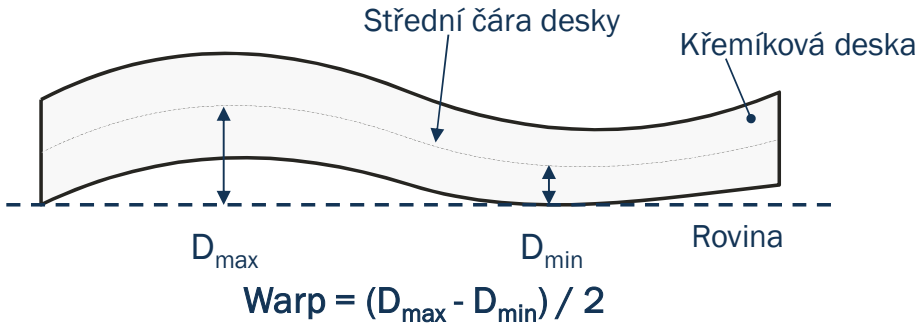
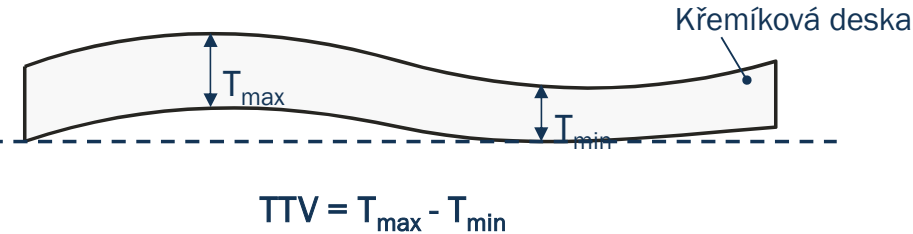
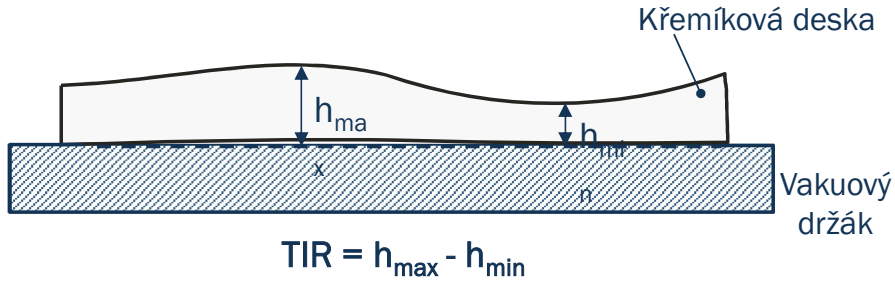
Public Information



Finální mechanické čištění



Chemické čištění



Perfect Silicon wafer

Flat RES and Oi profiles

Very low contamination level

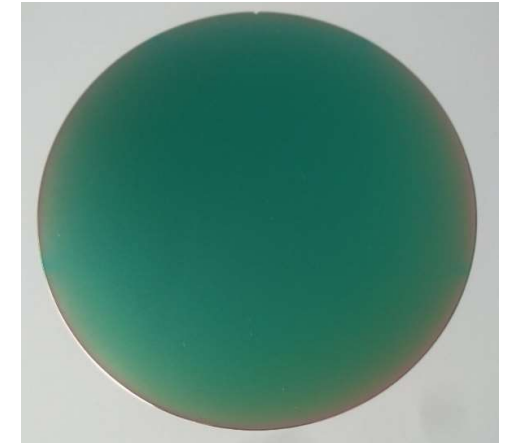
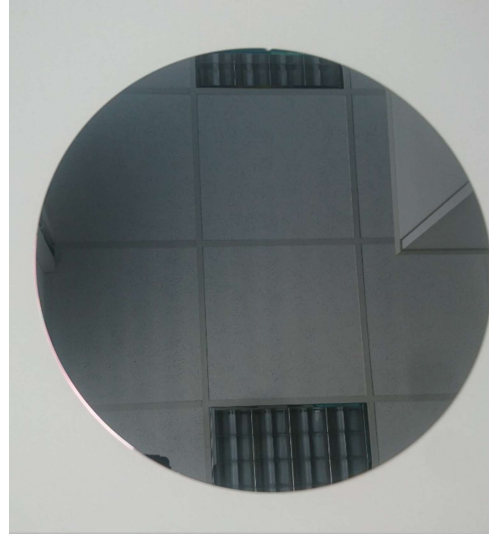
Efficient gettering

Optimized wafer edge

Low warping

Excellent flatness

Very low level of front side particles



Epitaxní růst křemíku - APCVD

Tvorba vertikálních profilů dopantů

Strmé přechody

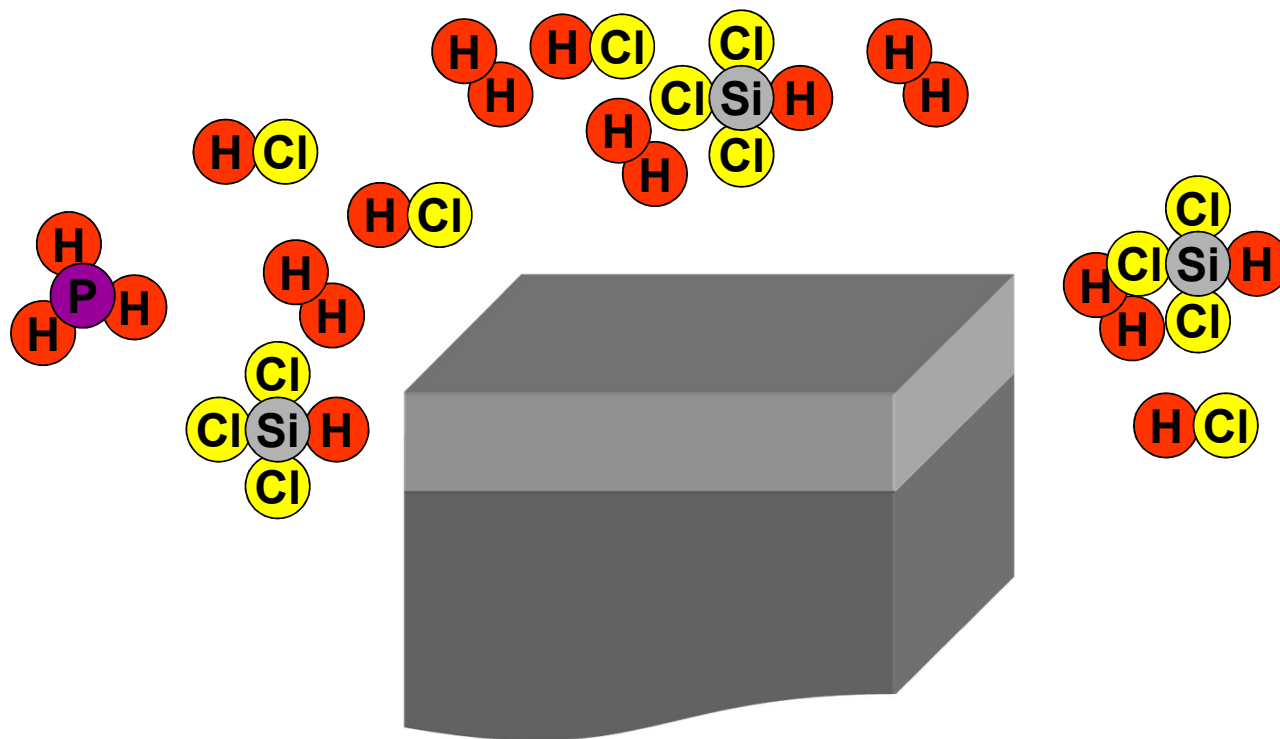
Zlepšení kvality křemíku

Snížení krystalografických defektů

Denudovaná zóna bez kyslíku

Křemíková homoepitaxe je APCVD – atmospheric pressure Chemical vapor deposition

Stabilní proces, řízený pořadím, rychlostí a tlakem plynů



Silicon-On-Insulator (SOI)

Structure

– thin single crystal silicon layer

device/active layer

thickness: <50 nm (ultra-thin SOI)
2–20 μm (thin SOI)
20–200 μm (thick SOI)

– insulating layer

oxide: Al_2O_3 → sapphire (SOS)

SiO_2 → buried oxide = BOX

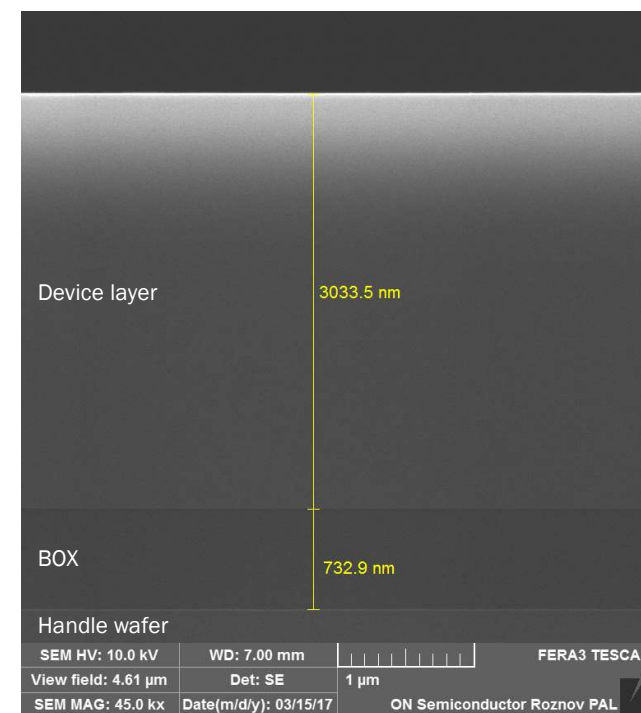
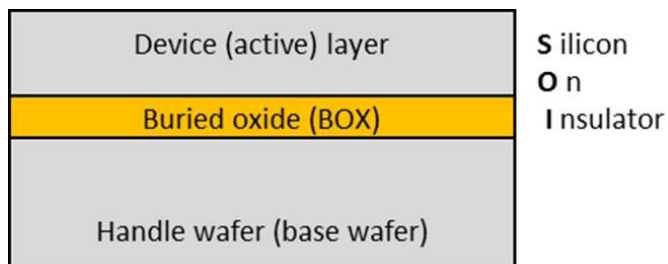
separation of 2 silicon layers

thickness: 0.1–4.0 μm

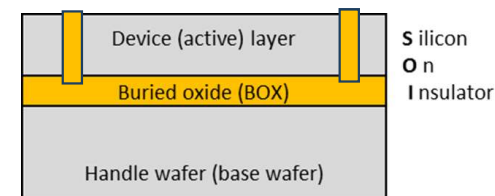
– thick bulk silicon = handle/base wafer

mechanical support

thickness: same as used Si wafer (0.5–1.0 mm)



Silicon-On-Insulator (SOI)



SOI structure enables a full isolation of each electronic component on an integrated circuit by using a (buried) insulating layer

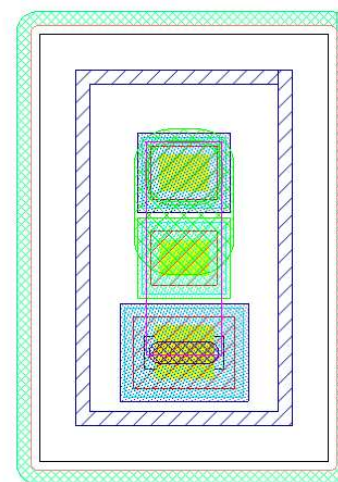
- silicon on aluminum oxide (sapphire; SOS)
- silicon on silicon dioxide

Benefits

- reduced source and drain to substrate capacitance
- absence of latch-up, reduction of parasitic components
- better immunity to crosstalk effects
- radiation hardness
- denser layout = lower cost

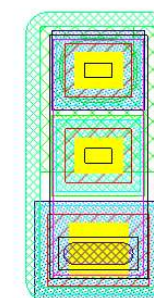
Allows devices to achieve:

- better performance
- higher frequency (switching)
- smaller size



Standard structure

Area = 1990 μm^2

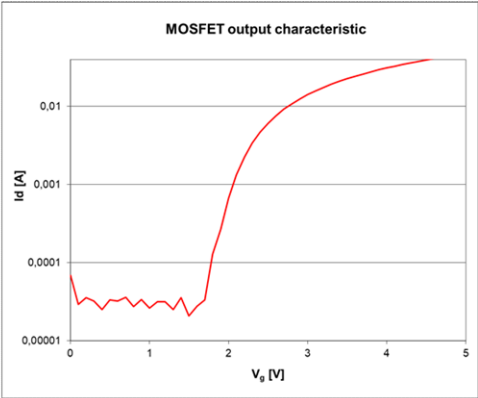
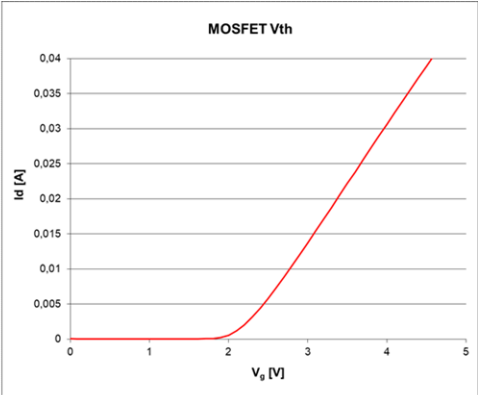
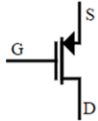
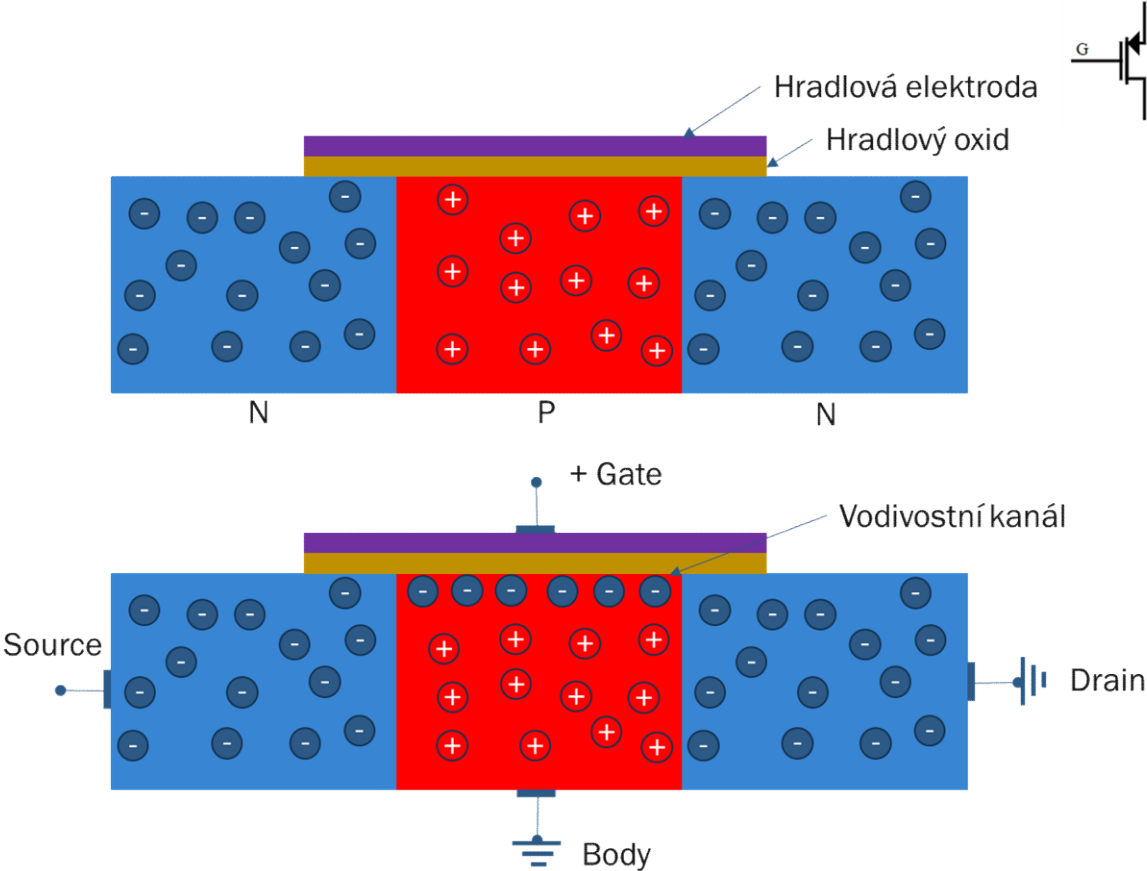


SOI structure

Area = 526 μm^2

Shrink 73.6%

Unipolární tranzistor CMOS



Unipolární tranzistor MOSFET - výroba



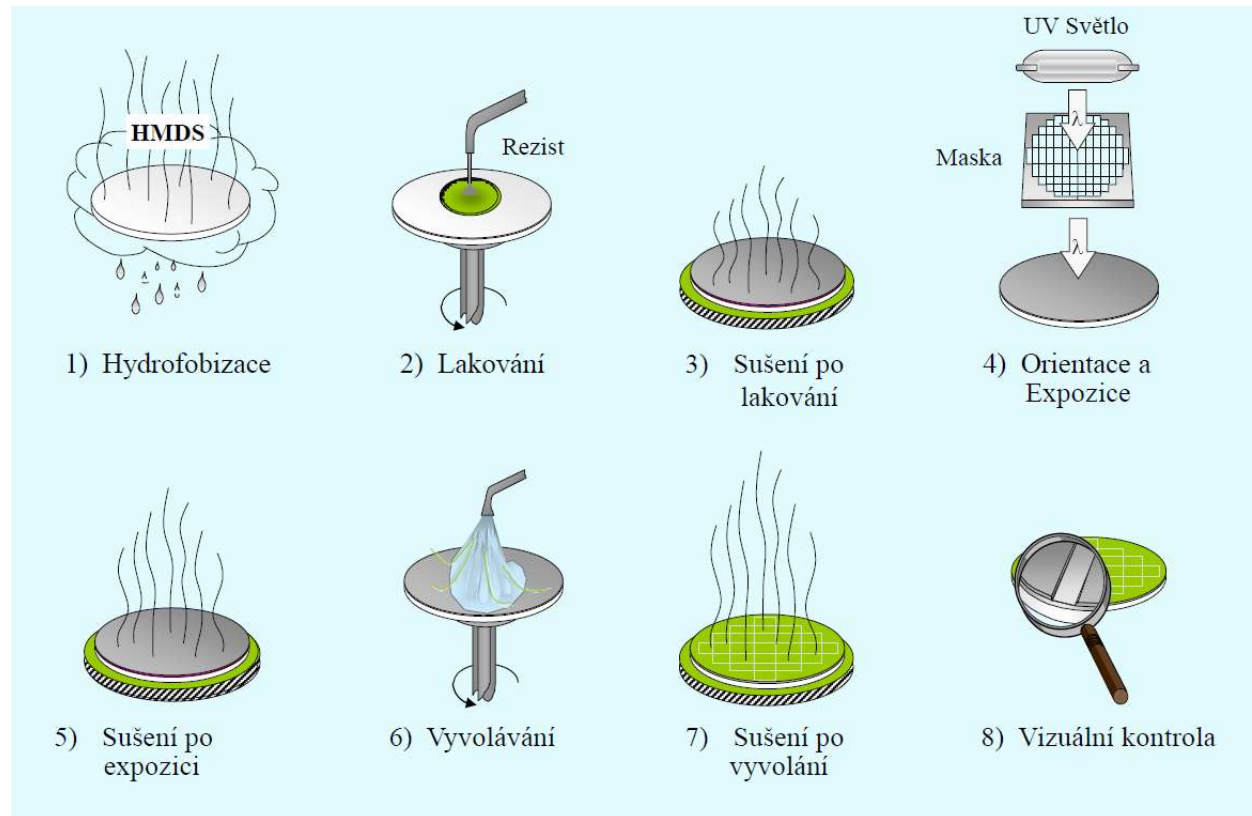
Fotolitografie

Na povrchu Si se vytvářejí motivy jednotlivých vrstev integrovaného obvodu.

Nanese se tenká vrstva fotorezistu, která se po osvětlení přes retikl (masku) v požadovaných místech ve vývojce odstraní.

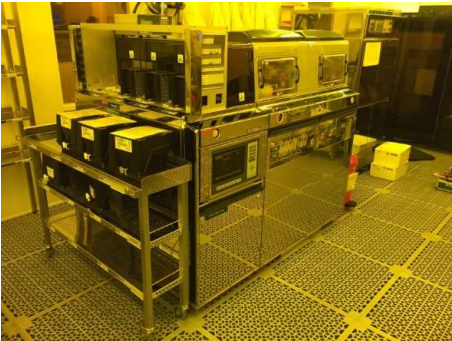
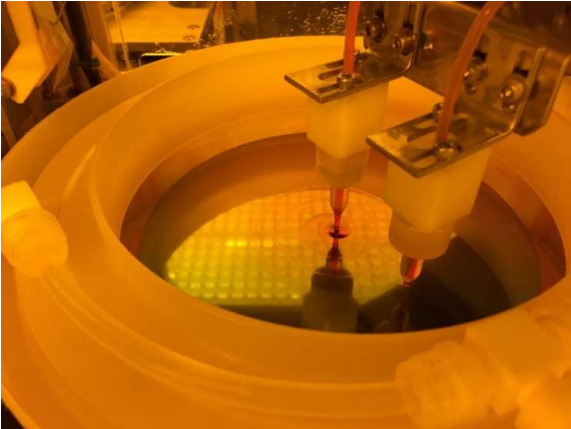
Přes lakovou masku lze implantovat ionty libovolných prvků, protože teplota Si d zůstává poměrně nízká.

Pro maskování difuzních procesů je třeba použít teplotně odolnější oxidovou nebo nitridovou masku.

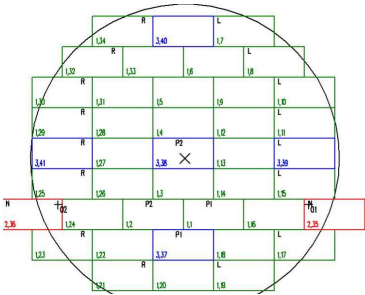


Fotolitografie - zařízení

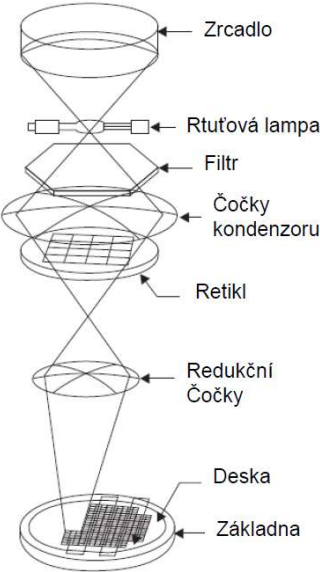
Lakovka / vyvolávka



Stepper



Step and Repeat System [6]

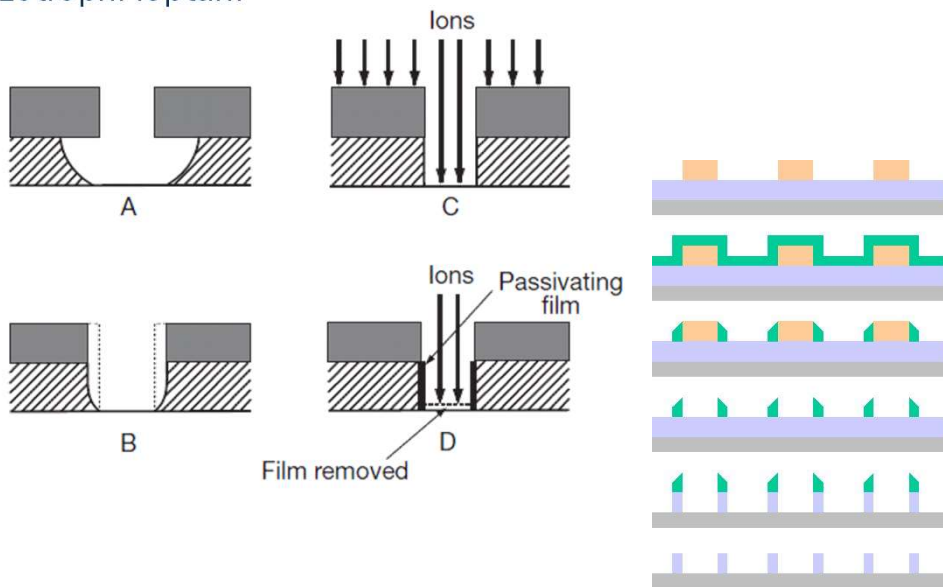


Leptání

Odstraňování materiálu z povrchu křemíkové desky v roztocích kyselin (mokrý leptání) nebo reakcí s ionty/radikály vytvořenými v plasmě (plasmatické leptání)

Mokrý leptání

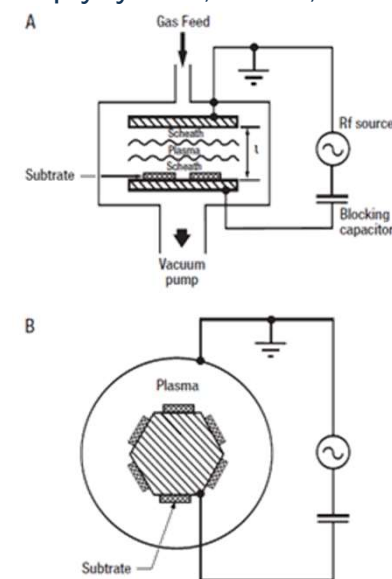
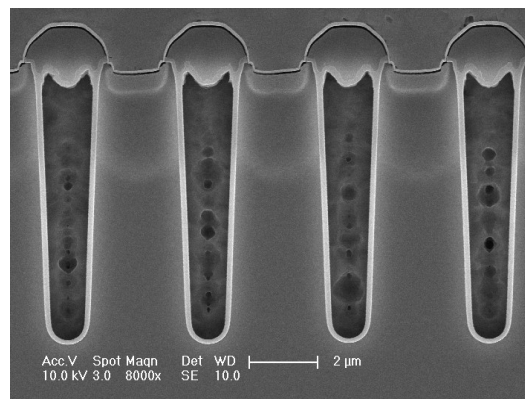
- V různě koncentrovaných HF
- Leptání pouze oxidových vrstev – vysokvodních roztocích a selektivita vůči jiným dielektrickým materiálům
- Izotropní leptání



Public Information

Plasmatické leptání

- Reakce materiálu na povrchu desky s volnými radikály vzniklými v plasmě nad deskou – procesní plyny CF₄, CHF₃, NF₃, SF₆, O₂, Cl₂, HBR
- Leptání jakéhokoli materiálu
- Izotropní/anizotropní leptání



Kombinací depozic a leptání se vytváří spacery, zmenšování detailů, self-alignment

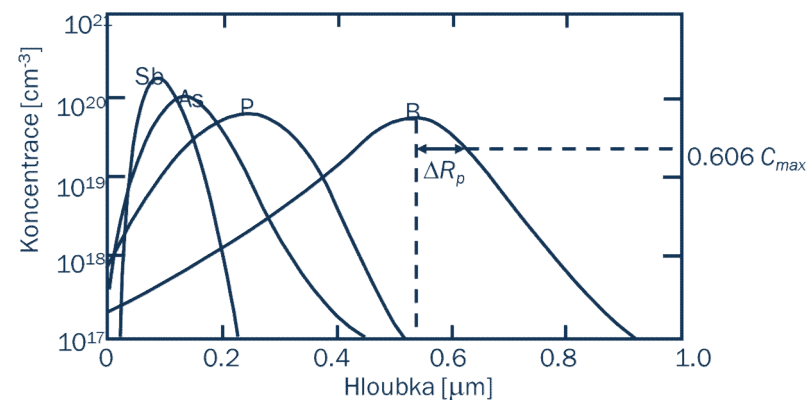
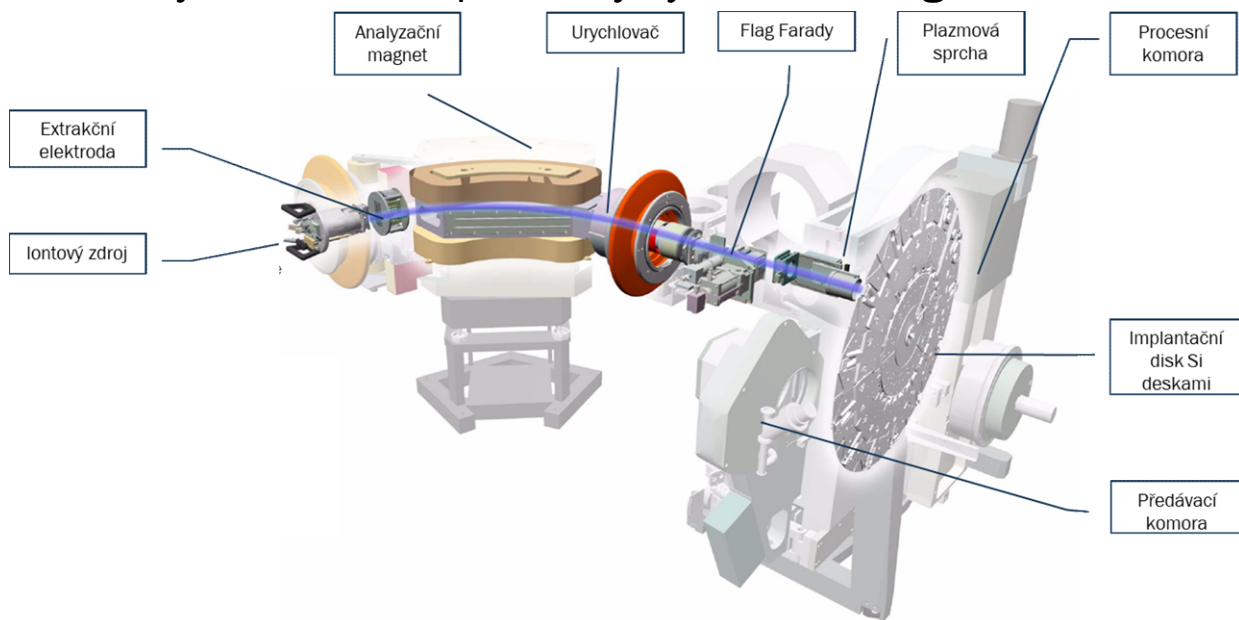


Iontová implantace

Nejběžnější způsob dopování

Svazek iontů dopantu urychlen na energie v řádu stovek až tisíců keV

Ionty ve svazku separovány systémem magnetů dle atomární hmotnosti

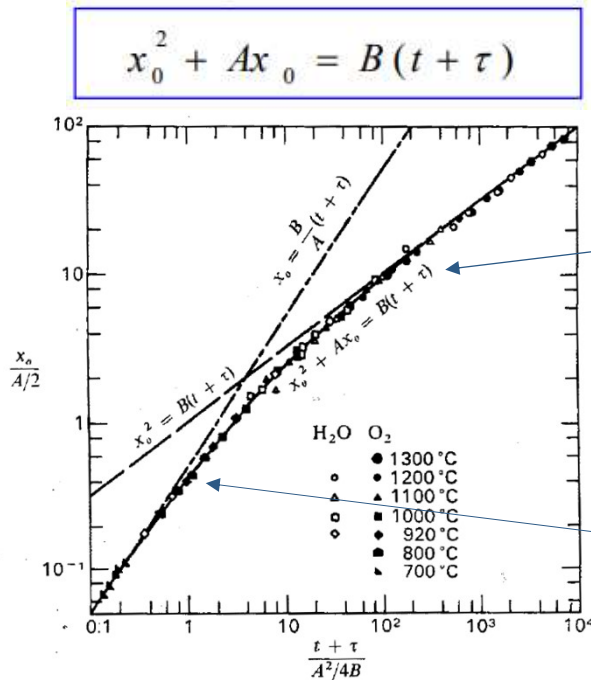


Rozdělení iontů v křemíku implantovaném při 200keV

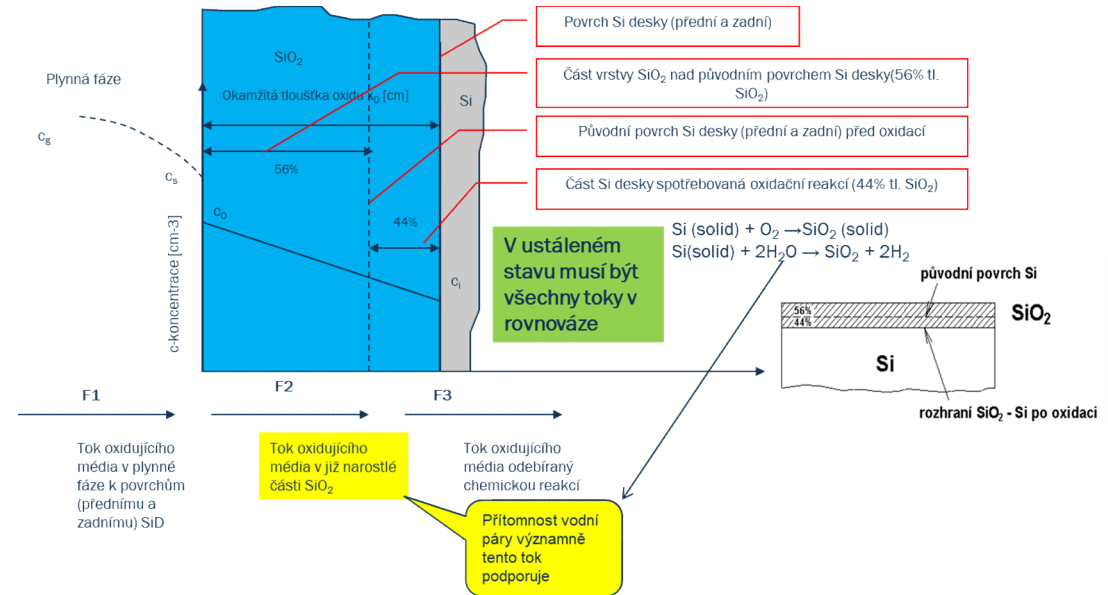
Oxidace

- Vysokoteplotní operace - $>800^{\circ}\text{C}$ – v oxidačních pecích
 - Růst vrstvy SiO_2 (pasivace povrchu, maskování iontové implantace)
 - Mechanismy oxidace popsán Deal-Grove modelem

- Druhy oxidace
 - Suchá - $\text{Si} + \text{O}_2 \rightarrow \text{SiO}_2$
 - Mokrá - $\text{Si} + 2\text{H}_2\text{O} \rightarrow \text{SiO}_2 + 2\text{H}_2$

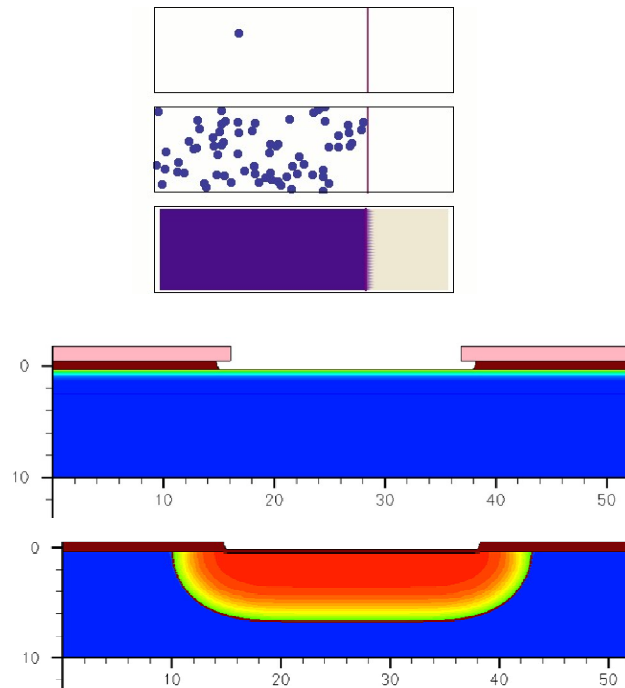
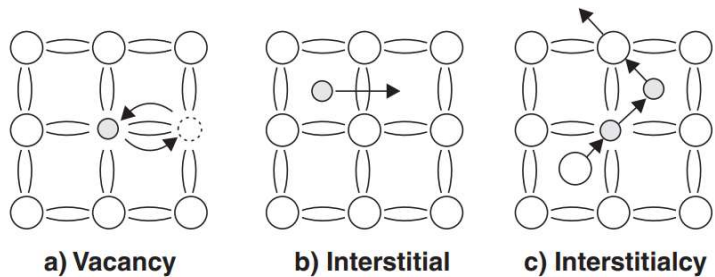


Parabolická část - oxidační rychlost transportem (difuzi) reakčních složek k povrchu Si
 Lineární část - oxidační rychlost limitovaná kinetikou reakce na povrchu Si



Difúze

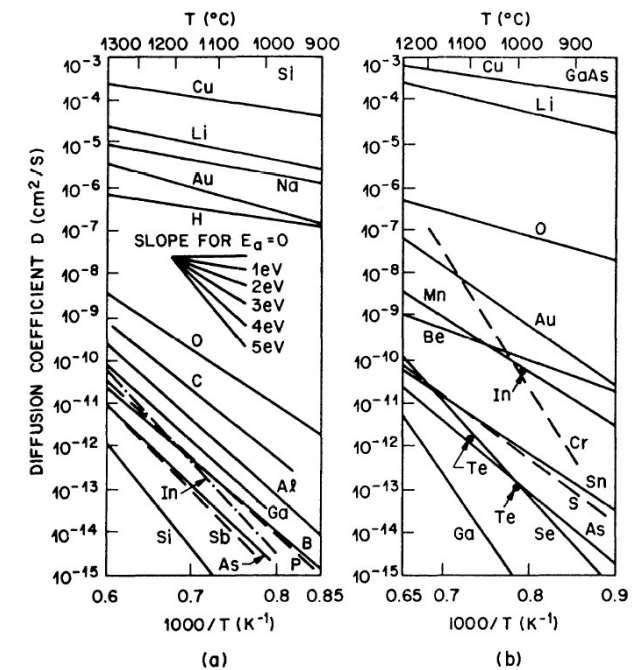
- Vysokoteplotní operace - $>800^{\circ}\text{C}$ – v difúzních pecích
 - Rozdifundování (prohloubení) implantovaných vrstev dopantu typu N (fosfor, arzen) nebo P (bór).
- Mechanismus difúze – náhodný pohyb atomů Si nebo dopantu mezi mřížkovými polohami



- Difúze je popsána Fickovým zákonem.

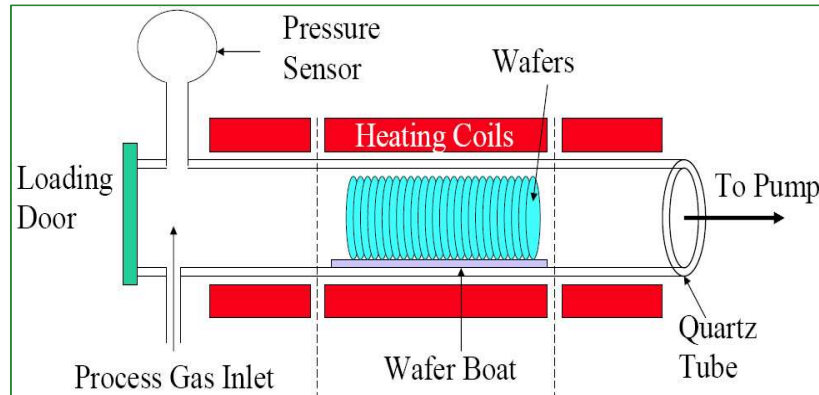
$$J = -D \frac{d\varphi}{dx}$$

Difúzní koeficienty příměsí v Si mřížce

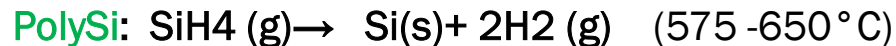


Chemická depozice: LPCVD

Schéma LPCVD reaktoru



Příklad chem. reakce:

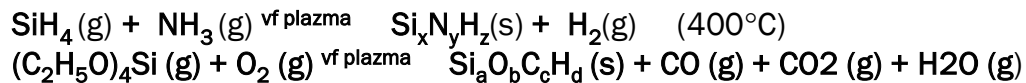


Hlavní znaky

- Depozice za nízkého tlaku
- Proces řízený reakční kinetikou
- Reaktanty není třeba ředit inertem (snižovat parc. tlak)
- Není dosaženo reakční rovnováhy
- Velmi dobré řízení reakce teplotou
- Nižší teplota oproti termickému oxidu (**menší teplotní budget**)
- Nízká prašnost procesu (nízká nukleace v plynné fázi)
- Je možno deponovat i tam, kde termický oxid nelze
- Nevnáší přídavný náboj
- Vysoká kvalita, stechiometrická struktura (vysoká hustota, dobrá homogenita tloušťky, výborné elektrické vlastnosti...)
- Vysoká kapacita reaktoru – batch system

Chemické depozice: PECVD

Jestliže spolu 2 látky v plynné fázi prakticky nereagují za teplot do 400 °C, potom jediný způsob, jak je přinutit reagovat, je rozštěpení jejich molekul na atomy, radikály nebo ionty. Ty jsou již tak reaktivní, že budou vzájemně na povrchu Si desky reagovat a vytvářet požadovanou vrstvu. Štěpení molekul se provede v elektrickém vysokofrekvenčním výboji za nízkého tlaku



Hlavní znaky

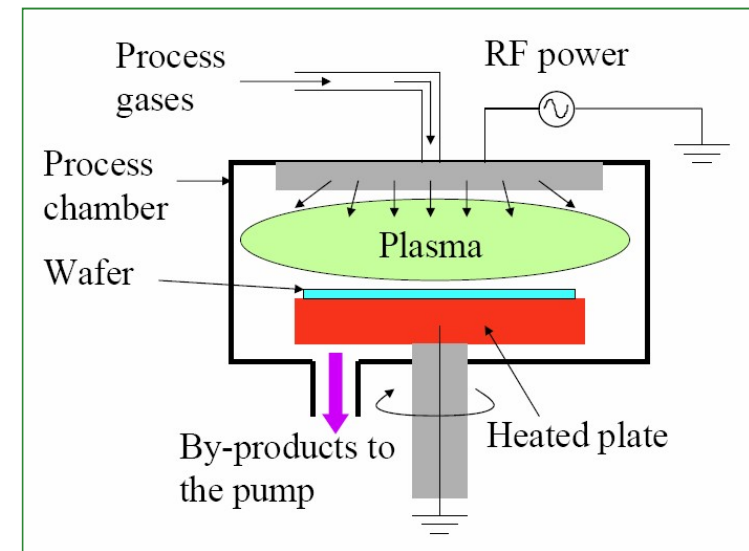
- Reakce v plazmatu za nízkého tlaku
- Nízká teplota cca 400 °C

Výhody

- Nízká teplota (možno deponovat na metal)
- Velmi dobrá homogenita tloušťky (single wafer reaktory)
- Velmi dobré krytí schodku
- Možnost řízení výstupních parametrů vrstvy (stres)
- Automatické čištění reaktoru ihned po depozici jedné desky

Nevýhody

- Vnesení přídavného náboje
- Horší vlastnosti oproti LPCVD Nitridu (El. vlastnosti, porozita) – však postačující pro pasivaci
- Složení molekuly není stechiometrické – vnesené atomy H, C

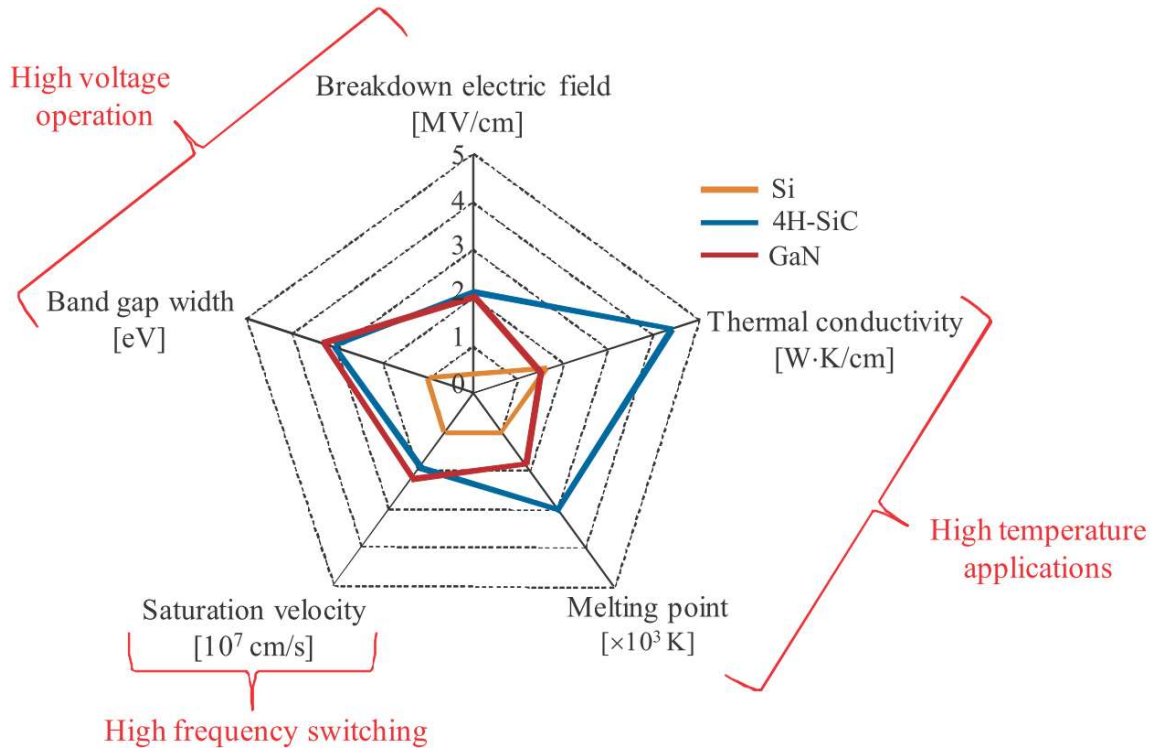


Silicon Carbide, Gallium Nitride

Public Information



SiC



Properties (at 300 K)	Si	4H-SiC	6H-SiC	3C-SiC	GaN	Diamond
Band gap width E_g [eV]	1.12	3.26	3.03	2.3	3.45	5.45
Breakdown electric field E_c [$\text{MV}\cdot\text{cm}^{-1}$]	0.3	2.2	2.5	2	2	10
Intrinsic carrier concentration n_i [cm^{-3}]	9.6×10^9	5×10^9	1.6×10^6	1.5×10^{-1}	1.9×10^{-10}	1.6×10^{-27}
Electrons mobility μ_n [$\text{cm}^2\cdot\text{V}^{-1}\cdot\text{s}^{-1}$]	1500	1000	500	800	1250	2200
Holes mobility μ_p [$\text{cm}^2\cdot\text{V}^{-1}\cdot\text{s}^{-1}$]	600	115	101	40	850	850
Thermal conductivity λ [$\text{W}\cdot\text{K}^{-1}\cdot\text{cm}^{-1}$]	1.5	4.9	4.9	3.2	1.3	22
Relative permittivity ϵ_r	11.8	10	9.7	9.7	9	5.5
Saturation velocity v_{sat} [$\times 10^7$ $\text{cm}\cdot\text{s}^{-1}$]	1	2	2	2.5	2.2	2.7
Maximum working temperature T_{max} [$^{\circ}\text{C}$]	150	760	760	500	800	1100

Table 1. Comparison between intrinsic properties of Si and WBG semiconductor materials.

	Si	SiC (4H)	SiC (6H)	SiC (3C)	GaN	Diamond
KFM	1	5	5.1	3.7	1.5	35.3
BFM	1	222.8	158.6	129.9	188.3	25319
BHFEM	1	35.9	23.1	23.7	37	1629.6
SFM	1	64.4	39.5	19	30.8	5207.1

Table 2. Main figures of merit for WBG semiconductors compared with Si.

Source: O. Deblecker, Z. De Grève and C. Versèle, Comparative Study of Optimally Designed DC-DC Converters with SiC and Si Power Devices, Advanced Silicon Carbide Devices and Processing, 2015

PVT system – Physical Vapor Transport

α -SiC powder source material in graphite crucible

tricky seed attachment (stress, sublimation, etching)

predominantly inductive heating (~ 10 kHz, 10 kW)

2000-2300 °C, mbar pressure, Ar atmosphere, N₂ for doping

process parameters:

hot zone design

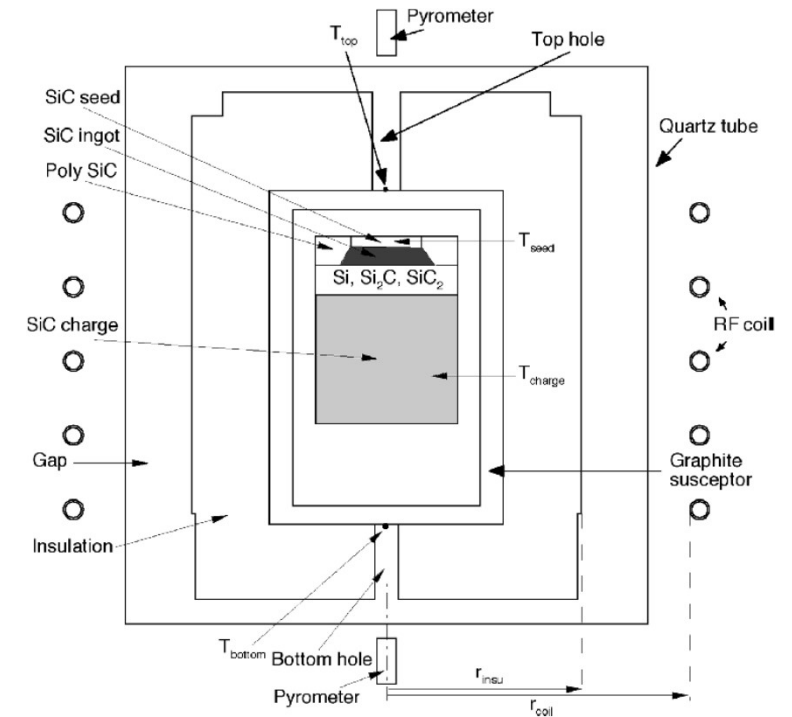
vertical position with respect to coil

temperature

pressure

Ar flow

N₂ flow

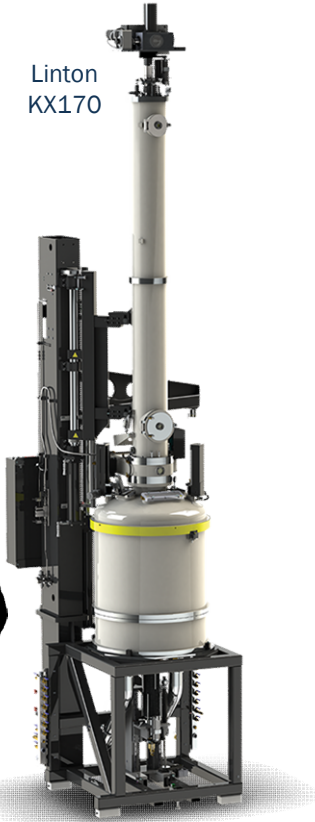


Crystal Growth Technology, K. Byrappa, T. Ohachi (Eds.)
6 Silicon Carbide Crystals – Part I: Growth and Characterization
G. Dhanaraj¹, X.R. Huang¹, M. Dudley¹, V. Prasad³, and R.-H. Ma²

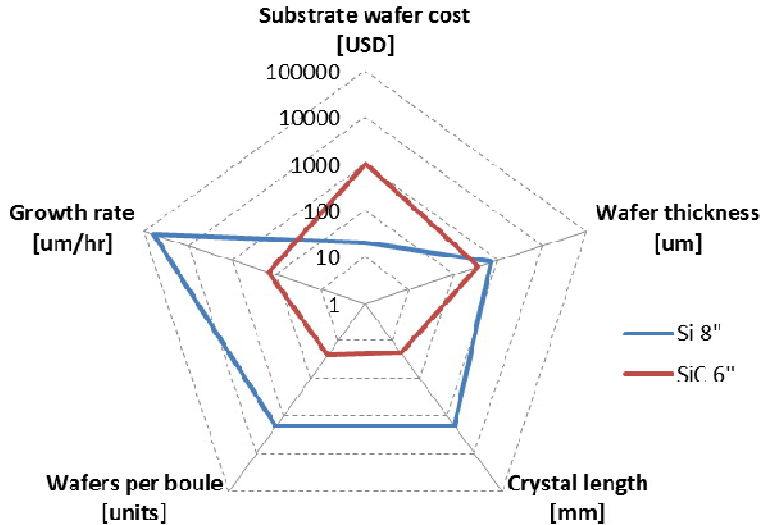
State-of-the-art SiC vs. Si bulk crystal growth

Silicon

Linton KX170



8" Si crystal



Silicon Carbide



PVA CGS SiCma600



Boule detail



6" SiC boule

Public Information



Pracovní prostředí – čisté prostory



Stropní HEPA filtry

Osvětlení –
luminescentní zářivky
v prostoru
fotolitografie (žluté
světlo)

Laminární proudění
vzduchu od stropu do
podlahy

Perforovaná podlaha pro odtah vzduchu
- 40% objemu vzduchu se vrací zpět +
60 % of čerstvého vzduchu do
klimatizace

Nábytek s
perforovanými
plochami pro udržení
laminárního proudění

Monitorování částic (prachu) se provádí:

- Kontinuálně – s použitím zabudovaných monitorovacích systémů
- Namátkově (po servisních zásazích) s použitím ručních přístrojů

Člověk je
významným zdrojem
částic – potřeba
vhodného oblečení

Pokrývka hlavy

Obličejová maska

Pracovní kombinéza

Rukavice

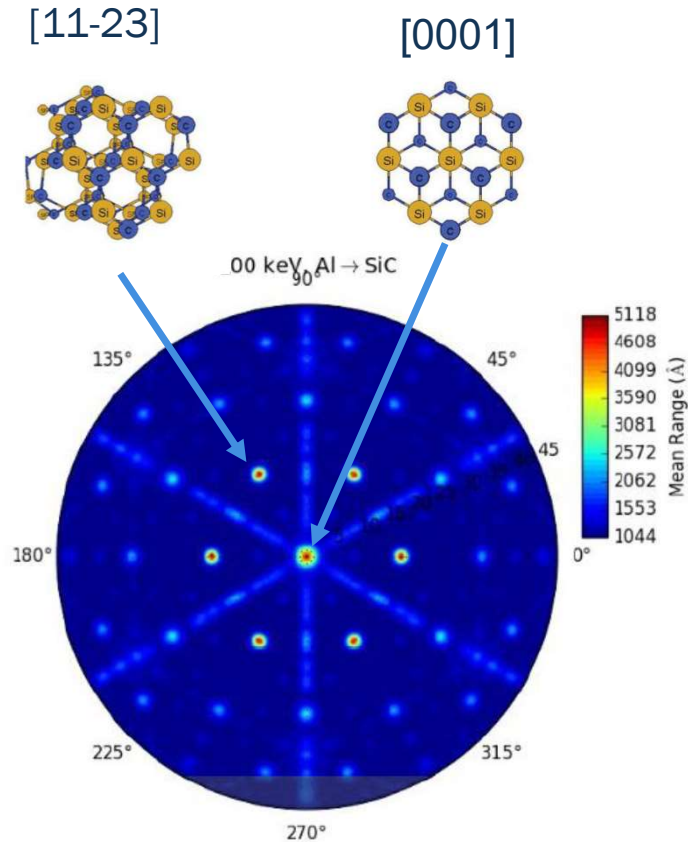
Návleky na obuv



Příklady využití fyziky

Popis distribuce dopantu v krystalu SiC

Principle



- Implantation under specific angle, along preferential axis to minimize collision chance
- 3 times **deeper implant** than with „random“ direction
 - Necessary for vertical superjunction structure
- Minimal lateral straggle
- Aluminum show good channeling along [0001] direction, Phosphorus less, Boron and Nitrogen very little

ECS Transactions, 98 (6) 119-124 (2020)
10.1149/09806.0119ecst ©The Electrochemical Society

P-type and N-type Channeling Ion Implantation of SiC and Implications for Device Design and Fabrication

H. Das^a, S. Sunkari^a, J. Justice^a, R. Malousek^b, J. Chochol^b, R. Wada^c, and T. Kuroi^c

^a ON Semiconductor, South Portland, Maine, USA

^b ON Semiconductor, Roznov, Czech Republic

^c Nissin Ion Equipment Inc., Kyoto, Japan

Hobler, G., Nordlund, K., Current, M., & Schustereder, W. (2018). Simulation Study of Al Channeling in 4H-SiC. In V. Häublein, & H. Ryssele (Eds.), *IIT 2018 Proceedings* (pp. 247-250). IEEE.

Výsledky

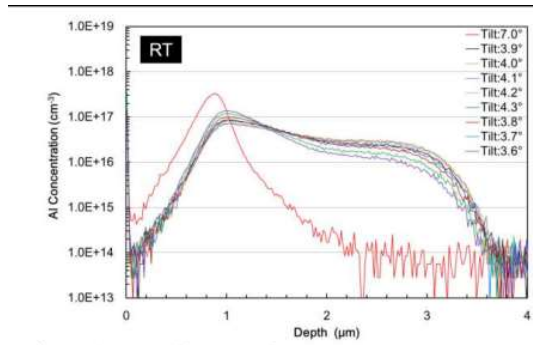


Fig. 3. Shows the room temperature channeled implant of Al⁺⁺⁺ 960keV with a dose of 1e13 cm⁻². The range variation with off-cut mismatch is not very sensitive.

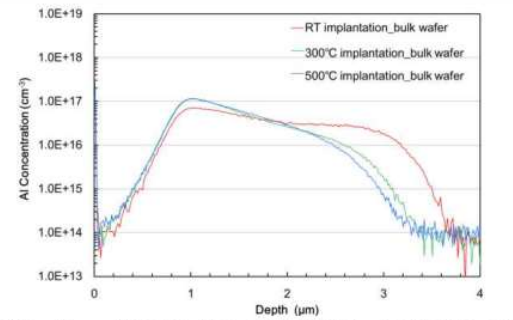


Fig. 4. Shows the channeled implants at various temperatures. As expected, the channeling effect reduces with an increase in temperature.

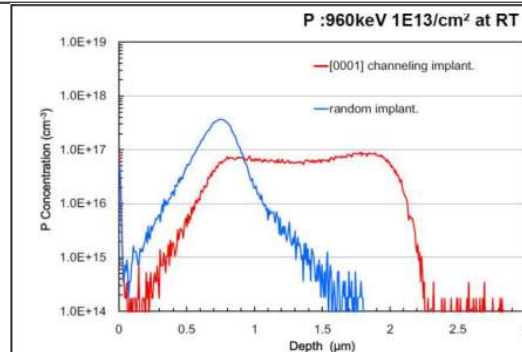


Fig. 9. Shows the room temperature channeled implant of phosphorous at 960 keV with a dose of 1e13 cm⁻². The implant profile shows a usable flat profile, but with a lower range than aluminum.

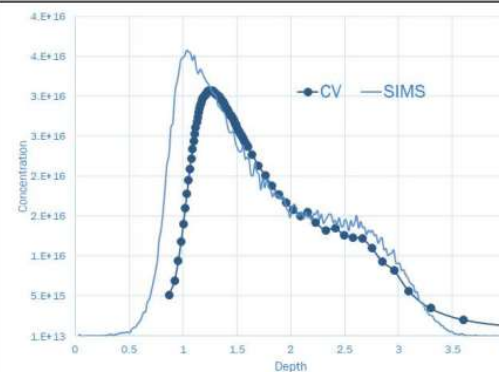


Fig. 10. Shows the comparison of the SIMS profile and capacitance voltage profile of channeled Al into an epitaxial wafer after 1650°C activation. Almost complete activation is observed.

Výsledky

- Potřeba využít kanálovaný profil implantace pro dosažení dostatečné hloubky
- Nová technologie, nedostatečná data
- Návrh experimentu + data od partnerů
- SIMS (secondary ion mass spectrometry) měření + CV (kapacita v závislosti na napětí)
- Využití analytického modelu distribuce implantu – zvojený Pearson IV
 - Alternativa – Monte Carlo
- Fit modelu, interpolace pro různé energie
- Export do simulačního programu pro návrh součástky

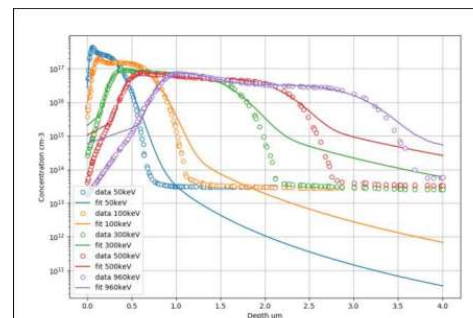


Fig. 11. Shows the experimentally observed SIMS data with the modeled data. Very good agreement is seen in all the energy ranges and all doping concentrations of interest enabling practical device designs.

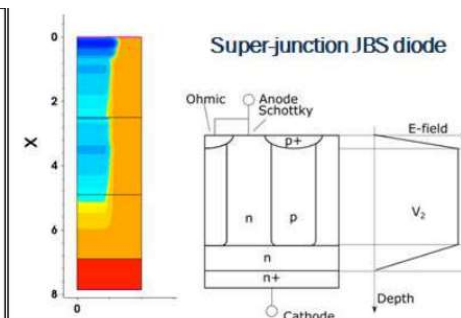


Fig. 12. A superjunction design in SiC utilizing the deep-channeled implant of Aluminum is shown. It offers a similar blocking voltage with lesser epitaxial regrowth layers and processing steps. The construction schematic and field distribution are also shown.

The Pearson–IV distribution is given by:

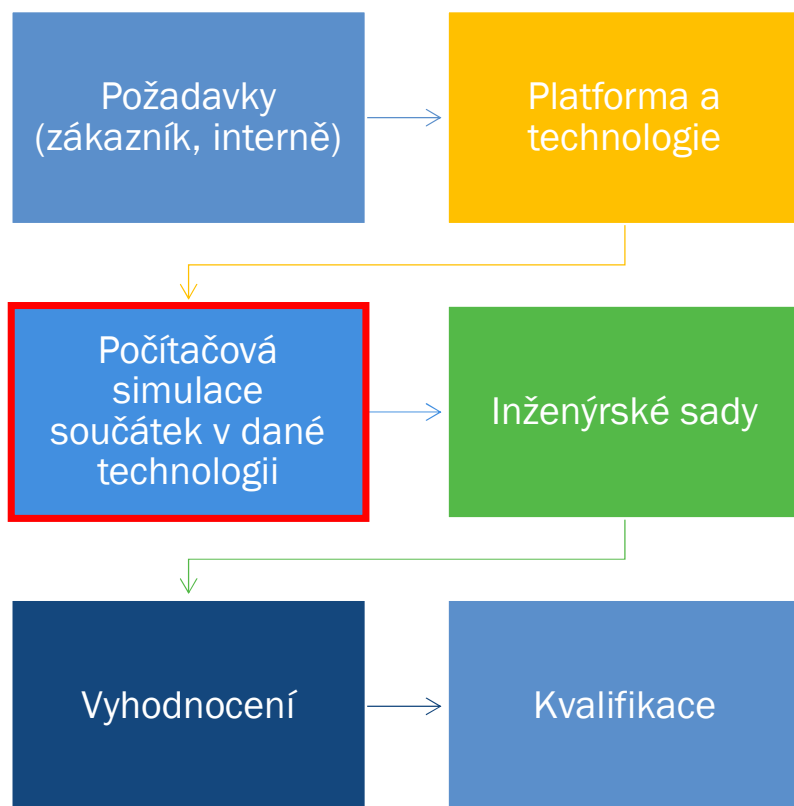
$$f_p(y) = K |b_2 y^2 + b_1 y + b_0|^{-\frac{1}{2b_2}} \cdot \exp \left(-\frac{\frac{b_1}{b_2} + 2a}{\sqrt{4b_2 b_0 - b_1^2}} \operatorname{atan} \left(\frac{2b_2 y + b_1}{\sqrt{4b_2 b_0 - b_1^2}} \right) \right) \quad (23)$$

Pearson IV- modifikace Gaussovského rozdělení o šikmost a strmost
Zdvojený – umožňuje popsat hlavní část a i ocas - tail

Simulace polovodičových součástek – TCAD



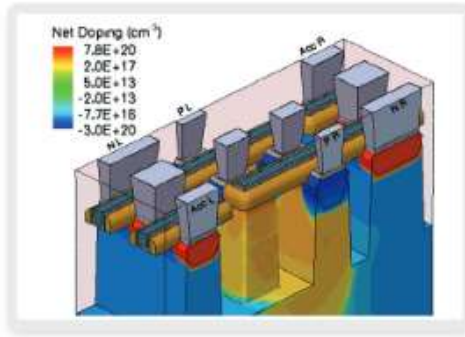
Jak probíhá návrh polovodičových součástek?



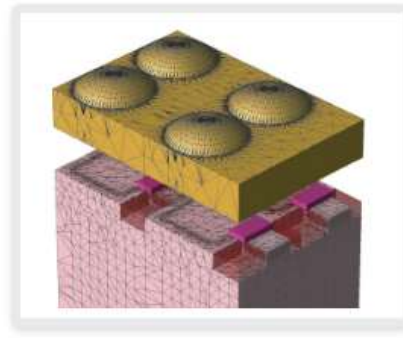
Počítačová simulace (TCAD – technology computer aided desing):

- Simulace fyzikálních/inž. procesů (implantace, difuze, oxidace, ...)
- Vliv geometrie součástky, procesních parametrů
- Vliv tolerance výroby
- Elektrická simulace jednotlivých součástek (dioda, transistor)
 - prahové napětí, průrazné napětí, saturační proud, ...
- Jednoduché obvody (zahřívání při spínání indukivní zátěže)
- Složitější obvody/integrované součástky jsou již oblastí návrhářů obvodů – pracují s daty z jednotlivých součástek které my navrheme
 - Cadence

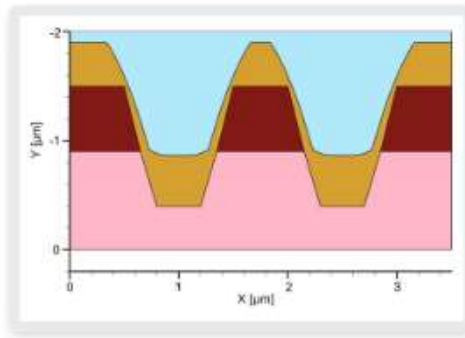
Nástroj – Sentaurus TCAD



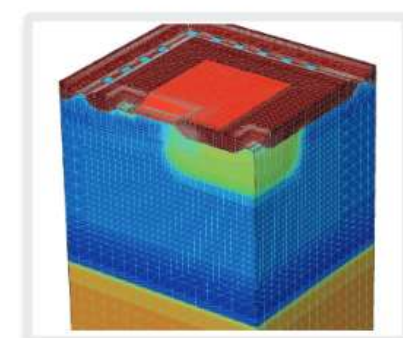
SRAM Cell simulated in Sentaurus Process



CMOS Image Sensor structure created in Sentaurus Structure Editor



Trench deposition simulated in Sentaurus Topograph



Mesh and structure for LDMOS device simulated in Sentaurus Device

Komerční nástroj na simulaci polovodičových součástek

- logické součástky
- výkonové součástky
- optické senzory
- ...

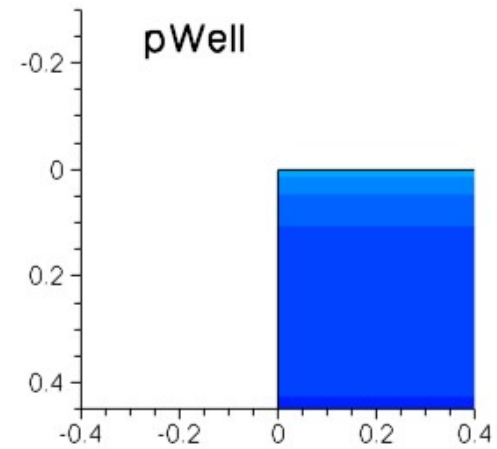
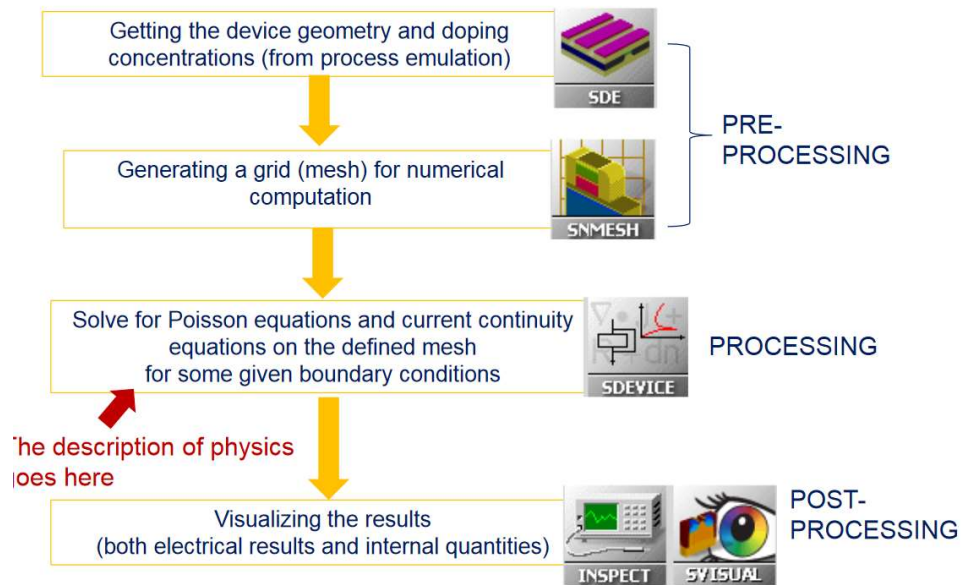
Řešení metodou konečných prvků

- Fyzikální modely (takřka) pro vše

Skriptovací jazyky:

- tcl, scheme, python

Ukázka



Ukázka – vliv modelů včetně kvantové mechaniky

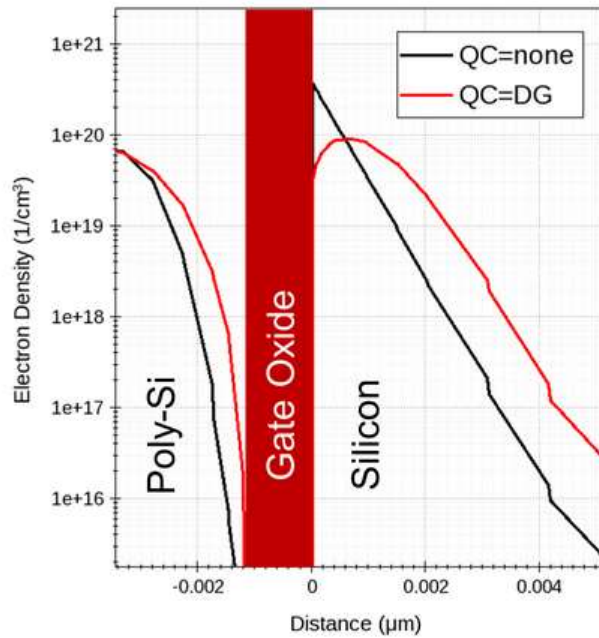


Figure 2. Electron density profile in the center of the channel, taken under strong inversion gate bias conditions. Quantum-mechanical size quantization, applied under QC=DG condition, leads to an electron concentration peak shifted away from the silicon-oxide interface by a distance of approximately 0.8 nm. (Click image for full-size view.)

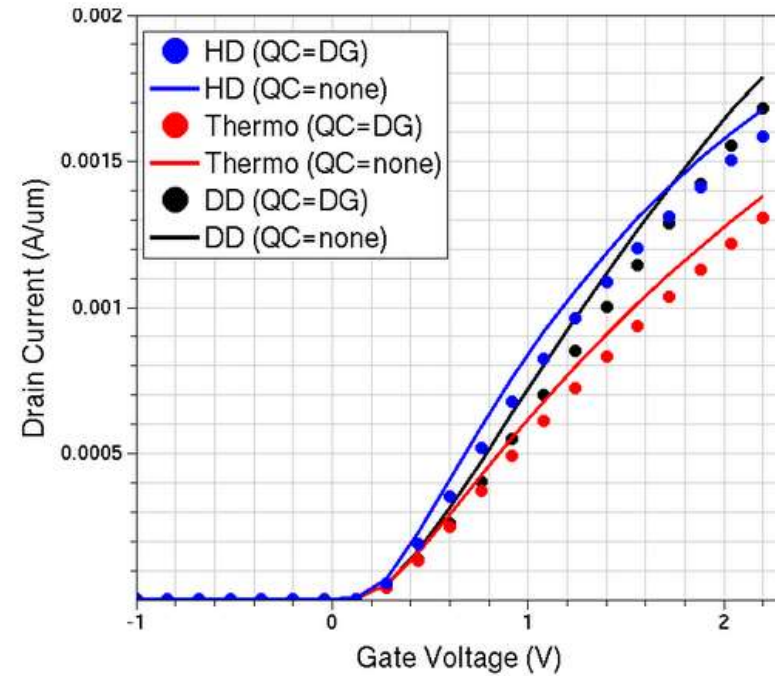


Figure 3. I_D-V_{gs} curves computed with different carrier transport models. Solid lines: without carrier quantization. Markers: with carrier quantization. (Click image for full-size view.)

Moje zkušenosti, akademie/firma, uplatnění fyziků ve firmě

Moje zkušenosti

2007 – Nástup na VŠB Ostrava, Obor Nanotechnologie

2010 – Bc. – téma: Depolarizace ve spektroskopické elipsometrii

2012 – Ing. téma: Light diffraction on layers with harmonic modulation of dielectric function

2017 – PhD pod dvojím vedením, VŠB + Dalhousie University, Halifax, Canada, téma: Plasmonics in Semiconductors

Od 12/2017 – ON Semiconductor, Silicon Development Engineer



Co se mi hodilo ze školy? a další nevyžádané rady

- Programování, Data Science, Modelování
 - Matlab, Python
 - tcl, scheme
- Charakterizační metody
 - SEM, AFM, XRD, Raman, elipsometrie, FTIR, SIMS, ...
- Matematika, Statistika
 - JMP
 - Mat. analýza, diff. rovnice
- Angličtina
 - Veškerá komunikace v angličtině
- Prezentování
 - technickým i netechnickým pozicím
 - vysvětlovat, zdůvodňovat, zjednodušovat
- Simulace
 - COMSOL, ANSYS, Lumerical
- Fyzika, Chemie, Kvant. mechanika
- Elektrotechnika

To PhD or not to PhD?

- Ve výzkumu a vývoji nesporná výhoda, ale nutnost to není
- Schopnost pracovat samostatně, dostudovávat (rychle) informace, aplikovat a je umět je prezentovat
- Networking
 - Na všechny konference jezdí lidé z firem, budování kontaktů, zjišťování co se kde dělá
- Zahraniční studium/stáže
 - Možnost i ve firmě
- Publikační, patentní řízení
- Projektový management

Akademie/Firma

Co	Akademie	Firma
Zajímavé a aktuální projekty	Ano	Ano
Možnost vybrat si projekt	Ano	Omezeně
Nutnost psát granty	Velká	Malá
Možnost vzdělávání	Ano	Ano, nutnost
Cestování	Konference, stáže	Služebky, konference, stáž v jiné pobočce

Uplatnění fyziky (konkrétní pracovní pozice)

Výzkum a vývoj

- Material Science Engineer
- R&D Device Engineer <- **Moje pozice**
- R&D Integration Engineer

Vývoj nových produktů

Technologie (Engineering)

- Výrobní technologie (Technolog operace)
- Měření

Výroba

- Směnový technolog
- Technik údržby

Podpůrné úseky

Management a project management

Díky za pozornost!

<https://www.kariera-onsemi.cz/>

<https://www.linkedin.com/in/jan-chochol-8a757071/>

<https://scholar.google.cz/citations?user=Bp3o3WUAAAAJ&hl=cs&oi=sra>

jan.chochol@onsemi.com

